



集成15路触摸按键输入和PWM的增强型8051微控制器

1. 特性

- 基于8051指令流水线结构的8位单片机
- Flash ROM: 32K字节
- RAM: 内部256字节, 外部2048字节, touchkey RAM 48字节
- 类EEPROM: 最大4096字节(代码选项可选)
- 工作电压:
 - $f_{osc} = 128kHz - 24MHz$, $V_{DD} = 2.7V - 5.5V$
- 振荡器:
 - 内部RC振荡器: $24MHz (\pm 1\%) / 128K (\pm 10\%)$
- 26/18/6个CMOS双向I/O管脚
- I/O内建上拉电阻(30k Ω)
- 11个大电流(灌电流)驱动(11路可以驱动共阴LED)
- 15路触摸按键输入
- 3个16位定时/计数器(T3, T4, T5)
- 2路12位PWM定时器
- 中断源:
 - Timer3, 4, 5
 - 外部中断2
 - 外部中断3: 3输入
 - 外部中断4: 4输入
 - ADC, EUART0/1, 触摸按键
 - PWM0/1, LPD
- 2路增强型UART
- 14通道12位模数转换器(ADC)
- 内建的低电压复位功能(代码选项)
 - LVR电压1: 4.1V
 - LVR电压2: 3.7V
 - LVR电压3: 3.1V
- 13档电平可选的低电压检测模块(LPD)
- 支持单线仿真和烧写
- CPU机器周期:
 - 1个振荡周期
- 看门狗定时器(WDT)
- 预热计数器
- 低功耗工作模式:
 - 空闲模式
 - 掉电模式
- Flash型
- 封装:
 - SOP28
 - SOP20
 - SOP8

2. 概述

SH79F9271是一种高速高效率8051可兼容单片机。在同样振荡频率下, 较之传统的8051芯片它有着运行更快速的优越特性。

SH79F9271保留了标准8051芯片的大部分特性。这些特性包括内置256字节RAM, 2路UART和外置中断INT2, INT3和INT4。此外, SH79F9271还集成了外部2048字节RAM。该单片机还包括适合于程序存储的32K字节Flash块。

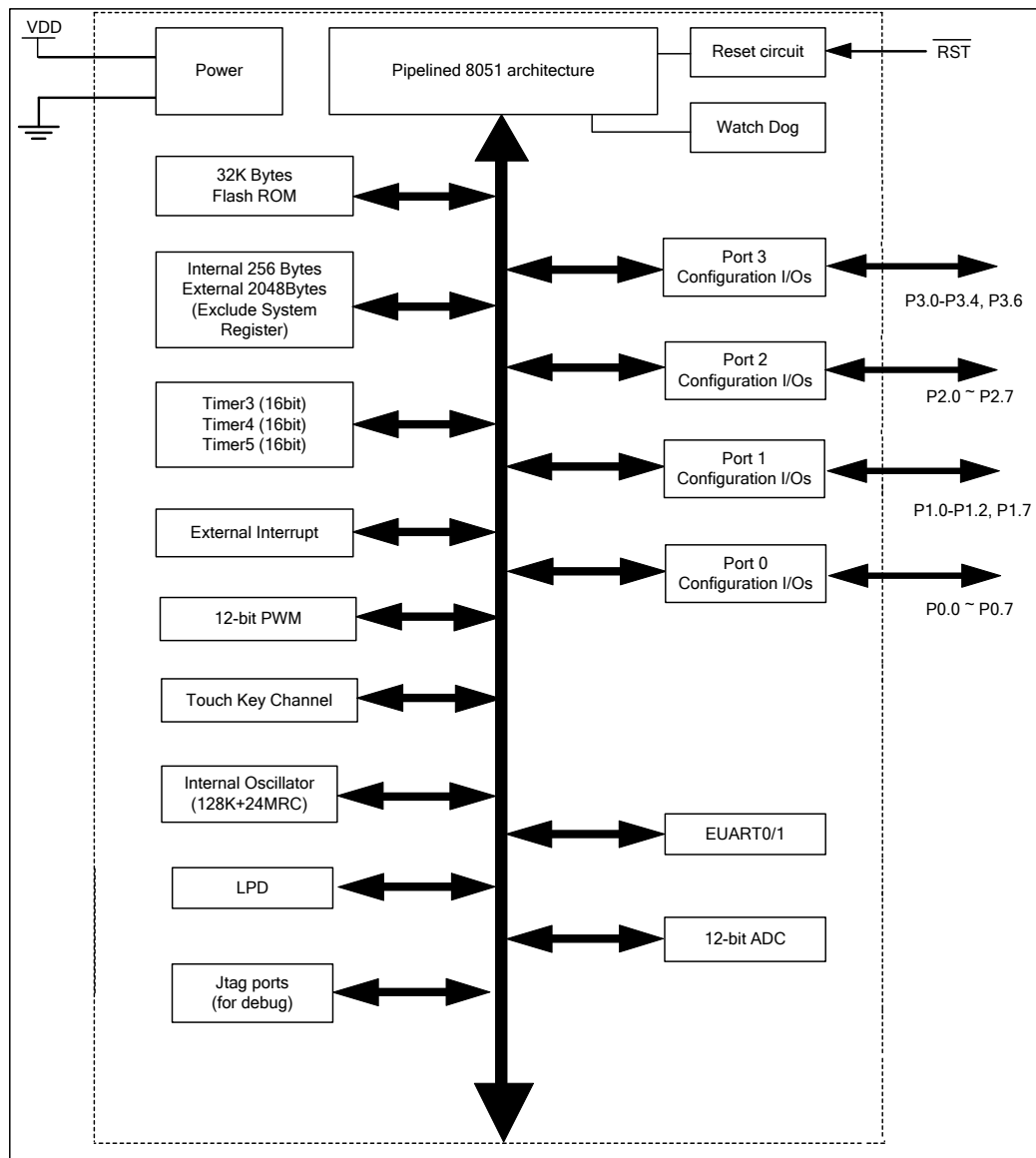
SH79F9271不仅集成了如EUART等标准通讯模块, 此外还集成了12bit ADC, PWM定时器等模块。

此外, SH79F9271还内建了15路触摸按键(Touchkey)模块。

为了达到高可靠性和低功耗, SH79F9271内建看门狗定时器, 低电压复位功能。此外SH79F9271还提供了2种低功耗省电模式。



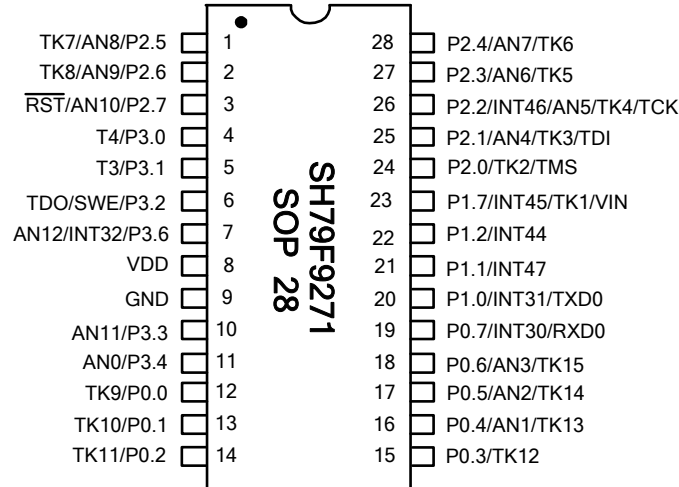
3. 方框图



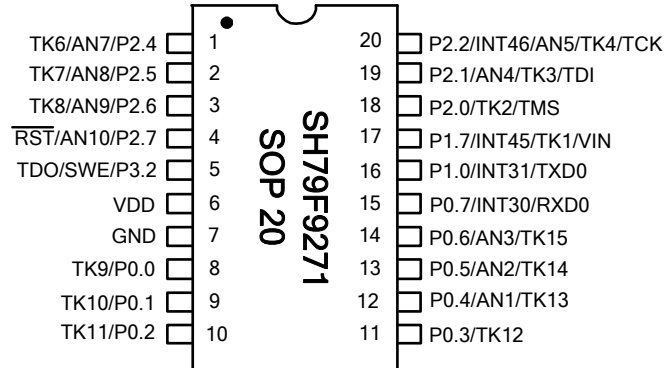


4. 引脚配置

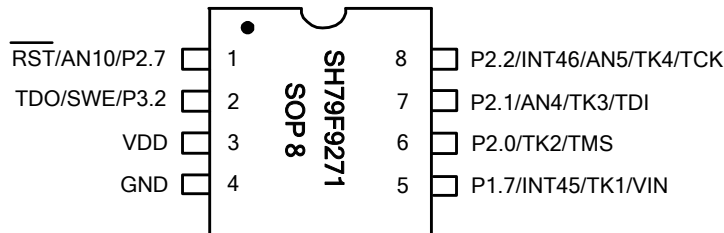
4.1 28Pin SOP封装引脚图



4.2 20Pin SOP封装引脚图



4.3 8Pin SOP封装引脚图



注意:

引脚命名中，写在最外侧的引脚功能具有最高优先级，最内侧的引脚功能具有最低优先级（参见引脚配置图）。当一个引脚被高优先级的功能占用时，即使低优先级功能被允许，也不能作为低优先级功能的引脚。只有当软件禁止引脚的高优先级功能，相应引脚才能被释放作为低优先级端口使用。



功能	UART1		PWM0	PWM1	INT2
引脚	RXD1	TXD1	PWM0	PWM1	INT2
P0.0				●	●
P0.1			●		
P0.2					●
P0.3				●	
P0.4					
P0.5	●	●			●
P0.6	●	●	●		●
P0.7	●	●			
P1.0				●	
P1.1			●		
P1.2				●	
P1.7	●	●	●		
P2.0				■	●
P2.1			■		
P2.2					
P2.3					
P2.4					
P2.5				●	
P2.6			●		
P2.7	■	●		●	●
P3.0	●	●	●		●
P3.1	●	●		●	
P3.2	●	■	●		■
P3.6					
P3.3					
P3.4					

***注:**

表格中黑色圆点 (●) 为该引脚的可选配置功能，黑色方块 (■) 表示复位后默认的逻辑可配置模块(LCM)的功能引脚。黑色方块 (■) 表示可以通过 逻辑可配置模块 (LCM) 配置到相应的黑色圆点 (●) 引脚。

LCM的优先级相对于IO引脚其它功能为最低(除IO功能外)。



5. 引脚描述

引脚编号	类型	说明
I/O端口		
P0.0 - P0.7	I/O	8位双向I/O端口
P1.0 - P1.2, P1.7	I/O	4位双向I/O端口
P2.0 - P2.7	I/O	8位双向I/O端口
P3.0 - P3.2, P3.3, P3.4, P3.6	I/O	6位双向I/O端口
定时器		
T3	I/O	定时器3外部输入
T4	I/O	定时器4外部输入/比较输出
PWM控制器		
PWM0	O	12位PWM0定时器输出引脚
PWM1	O	12位PWM1定时器输出引脚
EUART		
RXD0/1	I	EUART数据输入引脚
TXD0/1	O	EUART数据输出引脚
ADC		
AN0 - AN12	I	ADC输入通道
LPD		
VIN	I	LPD检测电压1.2V输入通道
TK		
TK1 - TK15	I	触摸按键输入引脚
中断&复位&时钟&电源		
INT2	I	外部中断2
INT30	I	外部中断30
INT31	I	外部中断31
INT32	I	外部中断32
INT44-47	I	外部中断44-47
$\overline{\text{RST}}$	I	该引脚上保持10 μs 以上的低电平，CPU将复位。由于有内建30k Ω 上拉电阻连接到V _{DD} ，所以仅接一个外部电容即可实现上电复位。
V _{SS}	P	接地
V _{DD}	P	电源（2.7 - 5.5V）
编程接口		
SWE（P3.2）	I/O	单线仿真
TDO（P3.2）	O	调试接口：测试数据输出
TCK（P2.2）	I	调试接口：测试模式选择
TDI（P2.1）	I	调试接口：测试数据输入
TMS（P2.0）	I	调试接口：测试时钟输入
注意： 当P3.2、P2.2-2.0作为调试接口时，原有功能被禁止。		

**6. 产品信息****SH79F9271: SOP28, SOP20, SOP8**

Part Num	RAM (byte)	Flash (byte)	E2 (byte)	EUARTx	ADC (12bit)	Touch Key	Timerx	PWM (12bit)	ExINT	RC	IO	Package
SH79F9271	2304	32	4096	0,1	13+1	15	3,4,5	0,1	1+3+4	±1%	26	SOP28
SH79F9271	2304	32	4096	0,1	9+1	14	3,4,5	0,1	1+2+2	±1%	18	SOP20
SH79F9271	2304	32	4096	1	3+1	4	3,4,5	0,1	1+0+2	±1%	6	SOP8



7. SFR映像

SH79F9271内置256字节的直接寻址寄存器，包括通用数据存储器 and 特殊功能寄存器（SFR），SH79F9271的SFR有以下几种：

CPU内核寄存器：	ACC, B, PSW, SP, DPL, DPH
CPU内核增强寄存器：	AUXC, DPL1, DPH1, INSCON, XPAGE
电源时钟控制寄存器：	PCON, SUSLO
Flash寄存器：	IB_OFFSET, IB_DATA, IB_CON1, IB_CON2, IB_CON3, IB_CON4, IB_CON5, FLASHCON
数据页面控制寄存器：	XPAGE
看门狗定时器寄存器：	RSTSTAT
系统时钟控制寄存器：	CLKCON
中断寄存器：	IEN0, IEN1, IENC, IPH0, IPL0, IPH1, IPL1, EXF0, EXF1, EXCON
I/O口寄存器：	P0, P1, P2, P3, P0CR, P1CR, P2CR, P3CR, P0PCR, P1PCR, P2PCR, P3PCR, POMS, PIMS
定时器寄存器：	T3CON, TH3, TL3, T4CON, TH4, TL4, T5CON, TH5, TL5
EUART寄存器：	PCON, SCON, SBUF, SADEN, SADDR, SBRTN, SBRTL, SFINE, PCON1, SCON1, SBUF1, SADEN1, SADDR1, SBRTN1, SBRTL1, SFINE1
ADC寄存器：	ADCON, ADT1, ADC1H, ADC2H, ADDL, ADDH, ADT2
PWM寄存器：	PWM0CON, PWM0PH, PWM0PL, PWM0DH, PWM0DL, PWM1CON, PWM1PH, PWM1PL, PWM1DH, PWM1DL
LPD寄存器：	LPDCON
LCM寄存器：	UART1CR, PWMCR, INTCR



SH79F9271

Table 7.1 C51核SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ACC	E0H	累加器	00000000	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
B	F0H	B寄存器	00000000	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
AUXC	F1H	C寄存器	00000000	C.7	C.6	C.5	C.4	C.3	C.2	C.1	C.0
PSW	D0H	程序状态字	00000000	CY	AC	F0	RS1	RS0	OV	F1	P
SP	81H	堆栈指针	00000111	SP.7	SP.6	SP.5	SP.4	SP.3	SP.2	SP.1	SP.0
DPL	82H	数据指针低位字节	00000000	DPL0.7	DPL0.6	DPL0.5	DPL0.4	DPL0.3	DPL0.2	DPL0.1	DPL0.0
DPH	83H	数据指针高位字节	00000000	DPH0.7	DPH0.6	DPH0.5	DPH0.4	DPH0.3	DPH0.2	DPH0.1	DPH0.0
DPL1	84H	数据指针1低位字节	00000000	DPL1.7	DPL1.6	DPL1.5	DPL1.4	DPL1.3	DPL1.2	DPL1.1	DPL1.0
DPH1	85H	数据指针1高位字节	00000000	DPH1.7	DPH1.6	DPH1.5	DPH1.4	DPH1.3	DPH1.2	DPH1.1	DPH1.0
INSCON	86H	数据指针选择	-0--00-0	-	BKS0	-	-	DIV	MUL	-	DPS

Table 7.2 电源时钟控制SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PCON	87H	电源控制	00000000	SMOD	SSTAT	*	*	GF1	GF0	PD	IDL
SUSLO	8EH	电源控制保护字	00000000	SUSLO.7	SUSLO.6	SUSLO.5	SUSLO.4	SUSLO.3	SUSLO.2	SUSLO.1	SUSLO.0



SH79F9271

Table 7.3 Flash控制SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_OFFSET	FBH Bank0	可编程flash低位字节偏移	00000000	IB_OFF SET.7	IB_OFF SET.6	IB_OFF SET.5	IB_OFF SET.4	IB_OFF SET.3	IB_OFF SET.2	IB_OFF SET.1	IB_OFF SET.0
IB_DATA	FCH Bank0	可编程flash数据寄存器	00000000	IB_DATA.7	IB_DATA.6	IB_DATA.5	IB_DATA.4	IB_DATA.3	IB_DATA.2	IB_DATA.1	IB_DATA.0
IB_CON1	F2H Bank0	flash控制寄存器1	00000000	IB_CON1.7	IB_CON1.6	IB_CON1.5	IB_CON1.4	IB_CON1.3	IB_CON1.2	IB_CON1.1	IB_CON1.0
IB_CON2	F3H Bank0	flash控制寄存器2	---0000	-	-	-	-	IB_CON2.3	IB_CON2.2	IB_CON2.1	IB_CON2.0
IB_CON3	F4H Bank0	flash控制寄存器3	---0000	-	-	-	-	IB_CON3.3	IB_CON3.2	IB_CON3.1	IB_CON3.0
IB_CON4	F5H Bank0	flash控制寄存器4	---0000	-	-	-	-	IB_CON4.3	IB_CON4.2	IB_CON4.1	IB_CON4.0
IB_CON5	F6H Bank0	flash控制寄存器5	---0000	-	-	-	-	IB_CON5.3	IB_CON5.2	IB_CON5.1	IB_CON5.0
XPAGE	F7H Bank0	编程用地址选择寄存器	00000000	*	XPAGE.6	XPAGE.5	XPAGE.4	XPAGE.3	XPAGE.2	XPAGE.1	XPAGE.0
FLASHCON	A7H Bank0	flash控制寄存器	-----0	-	-	-	-	-	-	-	FAC

Table 7.4 WDT SFR

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
RSTSTAT	B1H Bank0	看门狗定时器控制寄存器	*-***000	WDOF	-	PORF	LVRF	CLRF	WDT.2	WDT.1	WDT.0

注意：*表示不同情况的复位决定RSTSTAT寄存器中的复位值，详见WDT章节

Table 7.5 时钟控制SFR

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
CLKCON	B2H Bank0	系统时钟选择	-11-00--	-	CLKS1	CLKS0	-	HFON	FS	-	-



SH79F9271

Table 7.6 中断 SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IEN0	A8H Bank0	中断允许控制0	00000000	EA	EADC	ET3	ES0	ET5	ET4	ETK	*
IEN1	A9H Bank0	中断允许控制1	00000000	*	ELPD	EX2	EX3	EX4	EPWM1	EPWM0	ES1
IENC	BAH Bank0	中断通道允许控制	0000-000	EXS47	EXS46	EXS45	EXS44	-	EXS32	EXS31	EXS30
IPL0	B8H Bank0	中断优先权控制低位0	00000000	*	PADCL	PT3L	PS0L	PT5L	PT4L	PTKL	*
IPH0	B4H Bank0	中断优先权控制高位0	00000000	*	PADCH	PT3H	PS0H	PT5H	PT4H	PTKH	*
IPL1	B9H Bank0	中断优先权控制低位1	00000000	*	PLPDL	PX2L	PX3L	PX4L	PPWM1L	PPWM0L	PS1L
IPH1	B5H Bank0	中断优先权控制高位1	00000000	*	PLPDH	PX2H	PX3H	PX4H	PPWM1H	PPWM0H	PS1H
EXF0	E8H Bank0	外部中断寄存器0	000000-0	IT4.1	IT4.0	IT3.1	IT3.0	IT2.1	IT2.0	-	IE2
EXF1	D8H Bank0	外部中断寄存器1	0000-000	IF47	IF46	IF45	IF44	-	IF32	IF31	IF30
EXCON	8BH Bank0	外部中断采样控制	00000000	I1PS1	I1PS0	I1SN1	I1SN0	I0PS1	I0PS0	I0SN1	I0SN0

Table 7.7 端口 SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
P0	80H Bank0	8位端口0	00000000	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
P1	90H Bank0	4位端口1	00000000	P1.7	*	*	*	*	P1.2	P1.1	P1.0
P2	A0H Bank0	8位端口2	00000000	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
P3	B0H Bank0	6位端口3	00000000	*	P3.6	*	P3.4	P3.3	P3.2	P3.1	P3.0
P0CR	E1H Bank0	端口0输入/输出方向控制	00000000	P0CR.7	P0CR.6	P0CR.5	P0CR.4	P0CR.3	P0CR.2	P0CR.1	P0CR.0
P1CR	E2H Bank0	端口1输入/输出方向控制	00000000	P1CR.7	*	*	*	*	P1CR.2	P1CR.1	P1CR.0
P2CR	E3H Bank0	端口2输入/输出方向控制	00000000	P2CR.7	P2CR.6	P2CR.5	P2CR.4	P2CR.3	P2CR.2	P2CR.1	P2CR.0
P3CR	E4H Bank0	端口3输入/输出方向控制	00000000	*	P3CR.6	*	P3CR.4	P3CR.3	P3CR.2	P3CR.1	P3CR.0



SH79F9271

续上表

P0PCR	E9H Bank0	端口0内部上拉允许	00000000	P0PCR.7	P0PCR.6	P0PCR.5	P0PCR.4	P0PCR.3	P0PCR.2	P0PCR.1	P0PCR.0
P1PCR	EAH Bank0	端口1内部上拉允许	00000000	P1PCR.7	*	*	*	*	P1PCR.2	P1PCR.1	P1PCR.0
P2PCR	EBH Bank0	端口2内部上拉允许	00000000	P2PCR.7	P2PCR.6	P2PCR.5	P2PCR.4	P2PCR.3	P2PCR.2	P2PCR.1	P2PCR.0
P3PCR	ECH Bank0	端口3内部上拉允许	00000000	*	P3PCR.6	*	P3PCR.4	P3PCR.3	P3PCR.2	P3PCR.1	P3PCR.0
POMS	EFH Bank0	端口输出模式选择	-----00	-	-	-	-	-	-	POMS.1	POMS.0
PIMS	E7H Bank0	端口输入模式选择	00000000	P34S	P33S	P32S	P31S	P30S	P27S	P07S	P00S

Table 7.8 定时器 SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
T3CON	88H Bank1	定时器/计数器3控制寄存器	0-00-000	TF3	-	T3PS.1	T3PS.0	-	TR3	T3CLKS.1	T3CLKS.0
TL3	8CH Bank1	定时器/计数器3低位字节	00000000	TL3.7	TL3.6	TL3.5	TL3.4	TL3.3	TL3.2	TL3.1	TL3.0
TH3	8DH Bank1	定时器/计数器3高位字节	00000000	TH3.7	TH3.6	TH3.5	TH3.4	TH3.3	TH3.2	TH3.1	TH3.0
T4CON	C8H Bank1	定时器/计数器4控制寄存器	00000000	TF4	TC4	T4PS1	T4PS0	T4M1	T4M0	TR4	T4CLKS
TL4	CCH Bank1	定时器/计数器4低位字节	00000000	TL4.7	TL4.6	TL4.5	TL4.4	TL4.3	TL4.2	TL4.1	TL4.0
TH4	CDH Bank1	定时器/计数器4高位字节	00000000	TH4.7	TH4.6	TH4.5	TH4.4	TH4.3	TH4.2	TH4.1	TH4.0
T5CON	C0H Bank1	定时器/计数器5控制寄存器	0-00--0-	TF5	-	T5PS1	T5PS0	-	-	TR5	-
TL5	CEH Bank1	定时器/计数器5低位字节	00000000	TL5.7	TL5.6	TL5.5	TL5.4	TL5.3	TL5.2	TL5.1	TL5.0
TH5	CFH Bank1	定时器/计数器5高位字节	00000000	TH5.7	TH5.6	TH5.5	TH5.4	TH5.3	TH5.2	TH5.1	TH5.0



SH79F9271

Table 7.9 EUART SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PCON	87H Bank0	电源和串行控制	00000000	SMOD	SSTAT	*	*	GF1	GF0	PD	IDL
SCON	98H Bank0	EUART0串行控制	00000000	SM0/FE	SM1/RXOV	SM2/TXCOL	REN	TB8	RB8	TI	RI
SBUF	99H Bank0	EUART0串行数据缓冲器	00000000	SBUF.7	SBUF.6	SBUF.5	SBUF.4	SBUF.3	SBUF.2	SBUF.1	SBUF.0
SADEN	9BH Bank0	EUART0从属地址掩码	00000000	SADEN.7	SADEN.6	SADEN.5	SADEN.4	SADEN.3	SADEN.2	SADEN.1	SADEN.0
SADDR	9AH Bank0	EUART0从属地址	00000000	SADDR.7	SADDR.6	SADDR.5	SADDR.4	SADDR.3	SADDR.2	SADDR.1	SADDR.0
SBRTH	9DH Bank0	EUART0波特率发生器高位	00000000	SBRTEN	SBRT.14	SBRT.13	SBRT.12	SBRT.11	SBRT.10	SBRT.9	SBRT.8
SBRTL	9CH Bank0	EUART0波特率发生器低位	00000000	SBRT.7	SBRT.6	SBRT.5	SBRT.4	SBRT.3	SBRT.2	SBRT.1	SBRT.0
SFINE	9EH Bank0	EUART0波特率发生器微调	----0000	-	-	-	-	SFINE.3	SFINE.2	SFINE.1	SFINE.0
SCON1	A0H Bank1	EUART1串行控制	00000000	SM10/FE1	SM11/ RXOV1	SM12/ TXCOL1	REN1	TB81	RB81	TI1	RI1
SBUF1	A1H Bank1	EUART1串行数据缓冲器	00000000	SBUF1.7	SBUF1.6	SBUF1.5	SBUF1.4	SBUF1.3	SBUF1.2	SBUF1.1	SBUF1.0
SADEN1	A3H Bank1	EUART1从属地址掩码	00000000	SADEN1.7	SADEN1.6	SADEN1.5	SADEN1.4	SADEN1.3	SADEN1.2	SADEN1.1	SADEN1.0
SADDR1	A2H Bank1	EUART1从属地址	00000000	SADDR1.7	SADDR1.6	SADDR1.5	SADDR1.4	SADDR1.3	SADDR1.2	SADDR1.1	SADDR1.0
SBRTH1	A5H Bank1	EUART1波特率发生器高位	00000000	SBRTEN	SBRT1.14	SBRT1.13	SBRT1.12	SBRT1.11	SBRT1.10	SBRT1.9	SBRT1.8
SBRTL1	A4H Bank1	EUART1波特率发生器低位	00000000	SBRT1.7	SBRT1.6	SBRT1.5	SBRT1.4	SBRT1.3	SBRT1.2	SBRT1.1	SBRT1.0
SFINE1	A6H Bank1	EUART1波特率发生器微调	----0000	-	-	-	-	SFINE1.3	SFINE1.2	SFINE1.1	SFINE1.0
PCON1	A7H Bank1	串行控制寄存器	00-----	SMOD1	SSTAT1	-	-	-	-	-	-



SH79F9271

Table 7.10 ADC SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ADCON	91H Bank0	ADC控制	00-00000	ADON	ADCIF	-	SCH3	SCH2	SCH1	SCH0	GO/DONE
ADT1	92H Bank0	ADC定时控制1	--000000	-	-	TADC5	TADC4	TADC3	TADC2	TADC1	TADC0
ADC1H	93H Bank0	ADC信道配置1	00000000	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
ADC2H	94H Bank0	ADC信道配置2	---00000	-	-	-	CH12	CH11	CH10	CH9	CH8
ADDL	95H Bank0	ADC数据低位字节	----0000	-	-	-	-	A3	A2	A1	A0
ADDH	96H Bank0	ADC数据高位字节	00000000	A11	A10	A9	A8	A7	A6	A5	A4
ADT2	97H Bank0	ADC定时控制2	----0000	-	-	-	-	TS3	TS2	TS1	TS0

Table 7.11 PWM 0/1 SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PWM0CON	D9H Bank0	PWM0控制寄存器	00000000	PWM0EN	PWM0S	PWM0CK2	PWM0CK1	PWM0CK0	PWM0IE	PWM0IF	PWM0SS
PWM1CON	C9H Bank0	PWM1控制寄存器	00000000	PWM1EN	PWM1S	PWM1CK2	PWM1CK1	PWM1CK0	PWM1IE	PWM1IF	PWM1SS
PWM0PH	DBH Bank0	12位PWM0周期控制低位	----0000	-	-	-	-	PWM0P.11	PWM0P.10	PWM0P.9	PWM0P.8
PWM0PL	DAH Bank0	12位PWM0周期控制高位	00000000	PWM0P.7	PWM0P.6	PWM0P.5	PWM0P.4	PWM0P.3	PWM0P.2	PWM0P.1	PWM0P.0
PWM1PH	CBH Bank0	12位PWM1周期控制高位	----0000	-	-	-	-	PWM1P.11	PWM1P.10	PWM1P.9	PWM1P.8
PWM1PL	CAH Bank0	12位PWM1周期控制低位	00000000	PWM1P.7	PWM1P.6	PWM1P.5	PWM1P.4	PWM1P.3	PWM1P.2	PWM1P.1	PWM1P.0
PWM0DH	DDH Bank0	12位PWM0占空比控制高位	----0000	-	-	-	-	PWM0D.11	PWM0D.10	PWM0D.9	PWM0D.8
PWM0DL	DCH Bank0	12位PWM0占空比控制低位	00000000	PWM0D.7	PWM0D.6	PWM0D.5	PWM0D.4	PWM0D.3	PWM0D.2	PWM0D.1	PWM0D.0
PWM1DH	CDH Bank0	12位PWM1占空比控制高位	----0000	-	-	-	-	PWM1D.11	PWM1D.10	PWM1D.9	PWM1D.8
PWM1DL	CCH Bank0	12位PWM1占空比控制低位	00000000	PWM1D.7	PWM1D.6	PWM1D.5	PWM1D.4	PWM1D.3	PWM1D.2	PWM1D.1	PWM1D.0



SH79F9271

Table 7.12 LPD SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
LPDCON	B3H Bank0	LPD控制	00000---	LPDEN	LPDF	LPDV	LPDIF	LPDMD	-	-	-
LPDSEL	BBH Bank0	LPD检测档位寄存器	----0000	-	-	-	-	LPDS3	LPDS2	LPDS1	LPDS0

Table 7.13 LCM SFRs

符号	地址	名称	POR/WDT/LVR /PIN复位值	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
UART1CR	E1H Bank1	TXD1&RXD1引脚配置寄存器	-111-100	-	TX1CR2	TX1CR1	TX1CR0	-	RX1CR2	RX1CR1	RX1CR0
PWMCR	E2H Bank1	PWM0&PWM1引脚配置寄存器	-100-100	-	PW1CR2	PW1CR1	PW1CR0	-	PW0CR2	PW0CR1	PW0CR0
INTCR	E3H Bank1	INT2引脚配置寄存器	-----111	-	-	-	-	-	INT2CR2	INT2CR1	INT2CR0

注意: *: 保留位, 可以读写, 复位值为0。 -: 此位为空, 不可以读写, 任何情况下读出来都为0。



SFR映像图

Bank0

	可位寻址	不可位寻址							
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	
F8H	-	-	-	IB_OFFSET	IB_DATA	-	-	-	FFH
F0H	B	AUXC	IB_CON1	IB_CON2	IB_CON3	IB_CON4	IB_CON5	XPAGE	F7H
E8H	EXF0	P0PCR	P1PCR	P2PCR	P3PCR	-	-	POMS	EFH
E0H	ACC	P0CR	P1CR	P2CR	P3CR	-	-	PIMS	E7H
D8H	EXF1	PWM0CON	PWM0PL	PWM0PH	PWM0DL	PWM0DH	-	-	DFH
D0H	PSW	-	-	-	-	-	-	-	D7H
C8H	-	PWM1CON	PWM1PL	PWM1PH	PWM1DL	PWM1DH	-	-	CFH
C0H	-	-	-	-	-	-	-	-	C7H
B8H	IPL0	IPL1	IENC	LPDSEL	-	-	-	-	BFH
B0H	P3	RSTSTAT	CLKCON	LPDCON	IPH0	IPH1	-	-	B7H
A8H	IEN0	IEN1	-	-	-	-	-	-	AFH
A0H	P2	-	-	-	-	-	-	FLASHCON	A7H
98H	SCON	SBUF	SADDR	SADEN	SBRTL	SBRTH	SFINE	-	9FH
90H	P1	ADCON	ADT1	ADC1H	ADC2H	ADDL	ADDH	ADT2	97H
88H	-	-	-	EXCON	-	-	SUSLO	-	8FH
80H	P0	SP	DPL	DPH	DPL1	DPH1	INSCON	PCON	87H
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	

Bank1

	可位寻址	不可位寻址							
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	
F8H	-	-	-	-	-	-	-	-	FFH
F0H	B	AUXC	-	-	-	-	-	XPAGE	F7H
E8H	-	-	-	-	-	-	-	-	EFH
E0H	ACC	UART1CR	PWMCR	INTCR	-	-	-	-	E7H
D8H	-	-	-	-	-	-	-	-	DFH
D0H	PSW	-	-	-	-	-	-	-	D7H
C8H	T4CON	-	-	-	TL4	TH4	TL5	TH5	CFH
C0H	T5CON	-	-	-	-	-	-	-	C7H
B8H	IPL0	IPL1	-	-	-	-	-	-	BFH
B0H	-	-	-	-	IPH0	IPH1	-	-	B7H
A8H	IEN0	IEN1	-	-	-	-	-	-	AFH
A0H	SCON1	SBUF1	SADDR1	SADEN1	SBRTL1	SBRTH1	SFINE1	PCON1	A7H
98H	-	-	-	-	-	-	-	-	9FH
90H	-	-	-	-	-	-	-	-	97H
88H	T3CON	-	-	-	TL3	TH3	SUSLO	-	8FH
80H	-	SP	DPL	DPH	DPL1	DPH1	INSCON	PCON	87H
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F	

注意：未使用的SFR地址禁止读写。



8. 标准功能

8.1 CPU

8.1.1 CPU内核特殊功能寄存器

特性

CPU内核寄存器: ACC, B, PSW, SP, DPL, DPH

累加器

累加器ACC是一个常用的专用寄存器, 指令系统中采用A作为累加器的助记符。

B寄存器

在乘法指令中, 会用到B寄存器。在其它指令中, B寄存器可作为暂存器来使用。

栈指针 (SP)

栈指针SP是一个8位专用寄存器, 在执行PUSH、各种子程序调用、中断响应等指令时, SP先加1, 再将数据压栈; 执行POP、RET、RETI等指令时, 数据退出堆栈后SP再减1。堆栈栈顶可以是片上内部RAM (00H-FFH) 的任意地址, 系统复位后, SP初始化为07H, 使得堆栈事实上由08H地址开始。

程序状态字 (PSW) 寄存器

程序状态字 (PSW) 寄存器包含了程序状态信息。

数据指针 (DPTR)

数据指针DPTR是一个16位专用寄存器, 其高位字节寄存器用DPH表示, 低位字节寄存器用DPL表示。它们既可以作为一个16位寄存器DPTR来处理, 也可以作为2个独立的8位寄存器DPH和DPL来处理。

Table 8.1 PSW寄存器

D0H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读
复位值 (POR/WDTR/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	CY	进位标志位 0: 算术或逻辑运算中, 没有进位或借位发生 1: 算术或逻辑运算中, 有进位或借位发生
6	AC	辅助进位标志位 0: 算数逻辑运算中, 没有辅助进位或借位发生 1: 算数逻辑运算中, 有辅助进位或借位发生
5	F0	F0标志位 用户自定义标志位
4-3	RS[1:0]	R0-R7寄存器页选择位 00: 页0 (映射到00H-07H) 01: 页1 (映射到08H-0FH) 10: 页2 (映射到10H-17H) 11: 页3 (映射到18H-1FH)
2	OV	溢出标志位 0: 没有溢出发生 1: 有溢出发生
1	F1	F1标志位 用户自定义标志位
0	P	奇偶校验位 0: 累加器A中值为1的位数为偶数 1: 累加器A中值为1的位数为奇数



8.1.2 CPU增强内核特殊功能寄存器

- 扩展的'MUL'和'DIV'指令：16位*8位，16位/8位
- 双数据指针
- CPU增强内核寄存器：AUXC，DPL1，DPH1，INSCON

SH79F9271扩展了'MUL'和'DIV'的指令，使用一个新寄存器-AUXC寄存器保存运算数据的高8位，以实现16位运算。在16位乘法指令中，会用到AUXC寄存器。在其它指令中，AUXC寄存器可作为暂存器来使用。

CPU在复位后进入标准模式，'MUL'和'DIV'的指令操作和标准8051指令操作一致。当INSCON寄存器的相应位置1后，'MUL'和'DIV'指令的16位操作功能被打开。

	操作		结果		
			A	B	AUXC
MUL	INSCON.2 = 0; 8位模式	(A)*(B)	低位字节	高位字节	---
	INSCON.2 = 1; 16位模式	(AUXC A)*(B)	低位字节	中位字节	高位字节
DIV	INSCON.3 = 0; 8位模式	(A)/(B)	商低位字节	余数	---
	INSCON.3 = 1; 16位模式	(AUXC A)/(B)	商低位字节	余数	商高位字节

双数据指针

使用双数据指针能加速数据存储移动。标准数据指针被命名为DPTR而新型数据指针命名为DPTR1。

数据指针DPTR1与DPTR类似，是一个16位专用寄存器，其高位字节寄存器用DPH1表示，低位字节寄存器用DPL1表示。它们既可以作为一个16位寄存器DPTR1来处理，也可以作为2个独立的8位寄存器DPH1和DPL1来处理。

通过对INSCON寄存器中的DPS位置1或清0选择两个数据指针中的一个。所有读取或操作DPTR的相关指令将会选择最近一次选择的数据指针。

8.1.3 寄存器

Table 8.2 数据指针选择寄存器

86H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
INSCON	-	BKS0	-	-	DIV	MUL	-	DPS
读/写	-	读/写	-	-	读/写	读/写	-	读/写
复位值 (POR/WDT/LVR/PIN)	-	0	-	-	0	0	-	0

位编号	位符号	说明
6	BKS0	特殊功能寄存器页选择位 0: 选择特殊功能寄存器页0 1: 选择特殊功能寄存器页1
3	DIV	16位/8位除法选择位 0: 8位除法 1: 16位除法
2	MUL	16位/8位乘法选择位 0: 8位乘法 1: 16位乘法
0	DPS	数据指针选择位 0: 数据指针 1: 数据指针1



8.2 随机数据存储器（RAM）

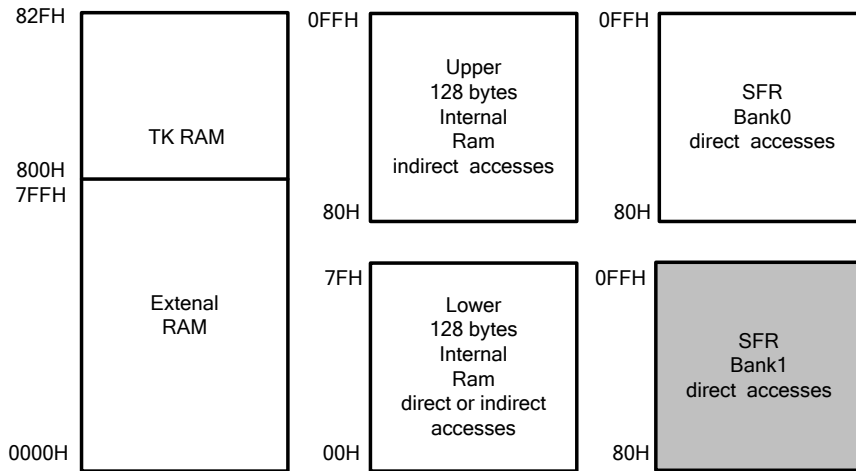
8.2.1 特性

SH79F9271为数据存储提供了内部RAM和外部RAM。下列为存储器空间分配：

- 低位128字节的RAM（地址从00H到7FH）可直接或间接寻址。
- 高位128字节的RAM（地址从80H到FFH）只能间接寻址。
- 特殊功能寄存器（SFR，地址从80H到FFH）只能直接寻址。
- 外部RAM可通过MOVX指令间接访问。

高位128字节的RAM占用的地址空间和SFR相同，但在物理上与SFR的空间是分离的。当一个指令访问高于地址7FH的内部位置时，CPU可以根据访问的指令类型来区分是访问高位128字节数据RAM还是访问SFR。

SH79F9271在外部数据空间额外提供了2048字节RAM，支持高级语言。SH79F9271还配置了48字节的TK RAM（800H-82FH）。



内部和外部RAM配置

SH79F9271支持传统的访问外部RAM方法。使用“MOVX A, @Ri或MOVX@Ri, A”来访问外部低256字节RAM；使用“MOVX A, @DPTR或MOVX@DPTR, A”来访问外部2096字节RAM。

用户也能用XPAGE寄存器来访问外部RAM，仅用“MOVXA, @Ri或MOVX@Ri, A”指令即可。用户能用XPAGE来表示高于256字节的RAM地址。

在Flash SSP模式下，XPAGE也能用作分段选择器（详见SSP章节）。

8.2.2 寄存器

Table 8.3 数据存储页寄存器（XPAGE）

F7H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
XPAGE	*	XPAGE.6	XPAGE.5	XPAGE.4	XPAGE.3	XPAGE.2	XPAGE.1	XPAGE.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

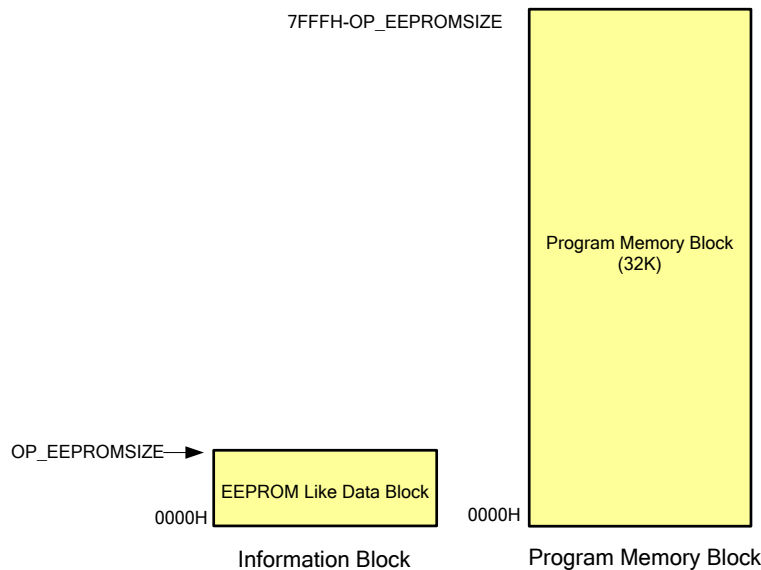
位编号	位符号	说明
6-4	XPAGE[6:4]	页选择控制中无效
3-0	XPAGE[3:0]	RAM页选择控制位



8.3 Flash程序存储器

8.3.1 特性

- Flash 存储器包括 64 X 512Byte 区块，总共 32KB
- 类 EEPROM 存储器 0 - 4KB 代码选项可选
- 在工作电压范围内都能进行编程和擦除操作
- 在线编程（ICP）操作支持写入、读取和擦除操作
- 支持整体/扇区擦除和编程
- 编程/擦除次数：程序区：至少 10,000 次
类 EEPROM 区：至少 100,000 次
- 数据保存年限：至少 20 年
- 低功耗



SH79F9271为存储程序代码内置32K可编程Flash（Program Memory Block），可以通过在线编程（ICP）模式和扇区自编程（SSP）模式对Flash存储器操作。每个扇区512字节。

SH79F9271还内置最大4096字节的类EEPROM存储区用于存放用户数据，每个扇区512字节，最多支持8个扇区。EEPROM存储区位于Flash存储器，与程序存储区是共享的，举例说明：当OP_EEPROMSIZE = 0000H时，即EEPROM大小为4KB，此时程序存储区的大小为32KB-4KB = 28KB；当OP_EEPROMSIZE = 0100H时，即EEPROM大小为2KB，此时程序存储区的大小为32KB-2KB = 30KB。具体EEPROM大小选择详见在代码选项章节。

Flash操作定义：

在线编程（ICP）模式：通过Flash编程器对Flash存储器进行擦、读、写操作。

扇区自编程（SSP）模式：用户程序代码运行在Program Memory中，对Flash存储器进行擦、读、写操作。

Flash存储器支持以下操作：

(1) 代码保护控制模式编程

SH79F9271的代码保护功能为用户代码提供了高性能的安全措施。每个分区有四种模式可用。

代码保护模式0：允许/禁止任何编程器的写入/读取操作（不包括整体擦除）。

代码保护模式1：允许/禁止在其它扇区中通过MOVC指令进行读取操作。

代码保护模式2：SSP功能允许/禁止控制，选中后，芯片对code区域的SSP操作（擦除或者写入，不包括读取）是禁止的，但是不会禁止芯片对类EEPROM的操作。

代码保护模式3：客户密码保护，可由客户自设密码，密码由6字节组成。如果将此功能开启，表示在烧写器或仿真器工具对芯片做任何操作（读出，写入，擦除或者仿真）之前先输入这个密码，如果这个密码正确，则芯片允许烧写器或仿真器工具进行相应的操作，反之则报错，无法执行相应操作。

用户必须使用下列方式才能完成代码保护控制模式的设定：

Flash编程器在ICP模式设置相应的保护位，以进入所需的保护模式。SSP模式不支持代码保护控制模式编程。

**(2) 整体擦除**

无论代码保护控制模式的状态如何，整体擦除操作都将会擦除所有程序、代码选项和代码保护位，但是不会擦除类EEPROM存储区。

用户必须使用下列方式才能完成整体擦除：

Flash编程器在ICP模式发出整体擦除指令，进行整体擦除。SSP模式不支持整体擦除。

(3) 扇区擦除

扇区擦除操作将会擦除所选扇区中内容。用户程序（SSP）和Flash编程器都能执行该操作。

若需用户程序执行该操作，必须禁止所选扇区的代码保护控制模式1和模式2。

若需Flash编程器执行该操作，必须禁止所选扇区的代码保护控制模式0；若代码保护模式3开启，还需输入正确的客户密码。

用户必须使用下列2种方式之一才能完成扇区擦除：

1. Flash编程器在ICP模式发出扇区擦除指令，进行扇区擦除。
2. 通过SSP功能发出扇区擦除指令，进行扇区擦除（详见在扇区自编程章节）。

(4) 类EEPROM存储区擦除

类EEPROM存储区擦除操作将会擦除类EEPROM存储区中的内容。用户程序（SSP）和Flash编程器都能执行该操作。

用户必须使用下列2种方式之一才能完成类EEPROM存储区擦除：

1. Flash编程器在ICP模式发出类EEPROM存储区擦除指令，进行类EEPROM存储区擦除。
2. 通过SSP功能发出类EEPROM存储区擦除指令，进行类EEPROM存储区擦除（详见在扇区自编程章节）。

(5) 写/读代码

读/写代码操作可以将代码从Flash存储器中读出或写入。用户程序（SSP）和Flash编程器都能执行该操作。

若需用户程序执行该操作，必须禁止所选扇区的代码保护控制模式1和模式2。不管安全位设置与否，用户程序都能读/写程序自身所在扇区。

若需编程器执行该操作，必须禁止所选扇区的代码保护控制模式0；若代码保护模式3开启，还需输入正确的客户密码。

用户必须使用下列2种方式之一才能完成写/读代码：

1. Flash编程器在ICP模式发出写/读代码指令，进行写/读代码。
2. 通过SSP功能发出写/读代码指令，进行写/读代码。

(6) 写/读类EEPROM存储区

读/写类EEPROM存储区操作可将数据从类EEPROM存储区中读出/写入。用户程序（SSP）和Flash编程器都能执行该操作。

用户必须使用下列2种方式之一才能完成写/读类EEPROM存储区：

1. Flash编程器在ICP模式发出写/读类EEPROM存储区指令，进行写/读类EEPROM存储区。
2. 通过SSP功能发出写/读类EEPROM存储区指令，进行写/读类EEPROM存储区。

Flash存储器操作汇总

操作	ICP	SSP
代码保护	支持	不支持
扇区擦除	支持（无安全位）	支持（无安全位）
整体擦除	支持	不支持
类EEPROM存储区擦除	支持	支持
写/读代码	支持（无安全位）	支持（无安全位）
读/写类EEPROM存储区	支持	支持



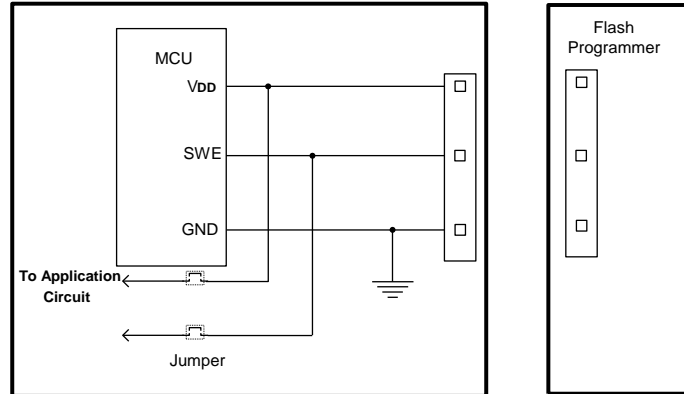
8.3.2 ICP模式下的Flash操作

单线模式

ICP模式为通过Flash编程器对MCU进行编程，可以在MCU焊在用户板上以后编程。ICP模式下，用户系统必须关机后Flash编程器才能通过ICP编程接口刷新Flash存储器。ICP编程接口包括3个引脚（V_{DD}，GND，SWE）。

编程器使用SWE引脚进入编程模式。只有将特定波形输入SWE引脚后，CPU才能进入编程模式。如需详细说明请参考Flash编程器用户指南。

在ICP模式中，通过3线接口编程器能完成所有Flash操作。因为编程信号非常敏感，所以使用编程器编程时用户需要先用2个跳线将芯片的编程引脚（V_{DD}，SWE）从应用电路中分离出来，如下图所示。



当采用ICP模式进行操作时，建议按照如下步骤进行操作：

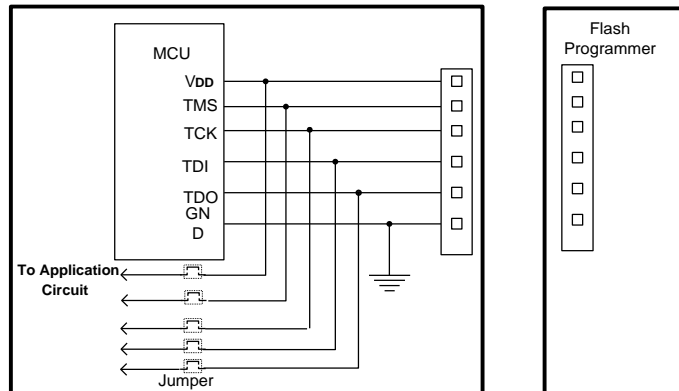
- (1) 在开始编程前断开跳线（jumper），从应用电路中分离编程引脚；
- (2) 将芯片编程引脚连接至Flash编程器编程接口，开始编程；
- (3) 编程结束后断开Flash编程器接口，连接跳线恢复应用电路。

四线模式

ICP模式为通过Flash编程器对MCU进行编程，可以在MCU焊在用户板上以后编程。ICP模式下，用户系统必须关机后Flash编程器才能通过ICP编程接口刷新Flash存储器。ICP编程接口包括6个引脚（V_{DD}，GND，TCK，TDI，TMS，TDO）。

编程器使用4个JTAG引脚（TDO，TDI，TCK，TMS）进入编程模式。只有将特定波形输入4个引脚后，CPU才能进入编程模式。如需详细说明请参考Flash编程器用户指南。

在ICP模式中，通过6线接口编程器能完成所有Flash操作。因为编程信号非常敏感，所以使用编程器编程时建议用户需要先用6个跳线将芯片的编程引脚（V_{DD}，GND，TCK，TDI，TMS，TDO）从应用电路中分离出来，如下图所示。



当采用ICP模式进行操作时，建议按照如下步骤进行操作：

- (1) 在开始编程前断开跳线（jumper），从应用电路中分离编程引脚；
- (2) 将芯片编程引脚连接至Flash编程器编程接口，开始编程；
- (3) 编程结束后断开Flash编程器接口，连接跳线恢复应用电路。

如果不加跳线，需保证电源线上的电容负载不超过100uF，4根信号线上的电容负载不超过0.01uf，电阻负载不小于1K阻值。



8.4 扇区自编程（SSP）功能

SH79F9271支持SSP功能。如果所选扇区未被保护，用户代码可以对任何扇区执行编程操作。一旦该扇区被编程，则在该扇区被擦除之前不能被再次编程。

SH79F9271内建一个复杂控制流程以避免误入SSP模式导致代码被误修改。为进入SSP模式，IB_CON2 - 5必须满足特定条件。若IB_CON2 - 5不满足特定条件，则无法进入SSP模式。

8.4.1 寄存器

Table 8.4 编程用地址选择寄存器

对于程序存储区，一个扇区为512字节。寄存器定义如下：

F7H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
XPAGE	*	XPAGE.6	XPAGE.5	XPAGE.4	XPAGE.3	XPAGE.2	XPAGE.1	XPAGE.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
6-1	XPAGE[6:1]	被擦除/编程的存储单元扇区号，0000000代表扇区0，依此类推
0	XPAGE[0]	被擦除/编程的存储单元高位地址

Table 8.5 擦除/编程用扇区选择寄存器

对于类EEPROM存储区，一个扇区为512字节，最大8个扇区。寄存器定义如下：

F7H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
XPAGE	*	XPAGE.6	XPAGE.5	XPAGE.4	XPAGE.3	XPAGE.2	XPAGE.1	XPAGE.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
6-4	XPAGE[6:4]	在擦除/编程扇区时无意义
3-1	XPAGE[3:1]	被擦除/编程的类EEPROM扇区号
0	XPAGE[0]	被擦除/编程的存储单元高位地址

类EEPROM块区的访问可通过指令“MOVC A, @A+DPTR”或“MOVC A, @A+PC”实现。

注意：需要将FLASHCON寄存器中的FAC位置1。

Table 8.6 编程用地址偏移寄存器

FBH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_OFFSET	IB_OFF SET.7	IB_OFF SET.6	IB_OFF SET.5	IB_OFF SET.4	IB_OFF SET.3	IB_OFF SET.2	IB_OFF SET.1	IB_OFF SET.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	IB_OFFSET[7:0]	被编程的存储单元低8位地址



Table 8.7 编程用数据寄存器

FCH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_DATA	IB_DATA.7	IB_DATA.6	IB_DATA.5	IB_DATA.4	IB_DATA.3	IB_DATA.2	IB_DATA.1	IB_DATA.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	IB_DATA[7:0]	待编程数据						

Table 8.8 SSP型选择寄存器

F2H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_CON1	IB_CON1.7	IB_CON1.6	IB_CON1.5	IB_CON1.4	IB_CON1.3	IB_CON1.2	IB_CON1.1	IB_CON1.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	IB_CON1[7:0]	SSP操作选择位 0xE6: 扇区擦除 0x6E: 存储单元编程						

Table 8.9 SSP流程控制寄存器1

F3H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_CON2	-	-	-	-	IB_CON2.3	IB_CON2.2	IB_CON2.1	IB_CON2.0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0
位编号	位符号	说明						
3-0	IB_CON2[3:0]	必须为05H, 否则Flash编程将会终止						

Table 8.10 SSP流程控制寄存器2

F4H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_CON3	-	-	-	-	IB_CON3.3	IB_CON3.2	IB_CON3.1	IB_CON3.0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0
位编号	位符号	说明						
3-0	IB_CON3[3:0]	必须为0AH, 否则Flash编程将会终止						

**Table 8.11** SSP流程控制寄存器3

F5H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_CON4	-	-	-	-	IB_CON4.3	IB_CON4.2	IB_CON4.1	IB_CON4.0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0

位编号	位符号	说明
3-0	IB_CON4[3:0]	必须为09H, 否则Flash编程将会终止

Table 8.12 SSP流程控制寄存器4

F6H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IB_CON5	-	-	-	-	IB_CON5.3	IB_CON5.2	IB_CON5.1	IB_CON5.0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0

位编号	位符号	说明
3-0	IB_CON5[3:0]	必须为06H, 否则Flash编程将会终止



The flowchart illustrates the Sector Erase sequence for the 256Kbit device. It begins with a state where **IB_CON1=6EH**, **&IB_CON2[3:0]=5H**, **&IB_CON3=AH**, **&IB_CON4=9H**, and **&IB_CON5=6H**. The sequence proceeds through states S0, S1, S2, S3, and S4, with various conditional checks and register updates. The sequence concludes with a **Reset IB_CON1-5** and a **Sector Erase** operation, leading to a **Programming** state.

```

graph TD
    Start([Start]) --> S0((S0))
    S0 --> S0
    S0 --> S1((S1))
    S1 --> S1
    S1 --> S2((S2))
    S2 --> S2
    S2 --> S3((S3))
    S3 --> S3
    S3 --> S4((S4))
    S4 --> S4
    S4 --> End([End])
    S4 --> Reset[Reset IB_CON1-5]
    Reset --> Programming[Programming]
    Programming --> Start
  
```

Flowchart Details:

- Initial State:** **IB_CON1=6EH**, **&IB_CON2[3:0]=5H**, **&IB_CON3=AH**, **&IB_CON4=9H**, **&IB_CON5=6H**
- S0:**
 - Set **IB_OFFSET**, **Set XPAGE**, **Set IB_DATA**, **Set IB_CON1**
 - Check **IB_CON2[3:0] ≠ 5H**. If true, go to S1. If false, go to S3.
- S1:**
 - Set **IB_CON2[3:0]=5H**
 - Check **IB_CON3 ≠ AH**. If true, go to S2. If false, go to S3.
- S2:**
 - Set **IB_CON3=AH**
 - Check **IB_CON4 ≠ 9H**. If true, go to S3. If false, go to S4.
- S3:**
 - Set **IB_CON4=9H**
 - Check **IB_CON5 ≠ 6H**. If true, go to S4. If false, go to S1.
- S4:**
 - Set **IB_CON5=6H**
 - Check **IB_CON1=6EH**, **&IB_CON2[3:0]=5H**, **&IB_CON3=AH**, **&IB_CON4=9H**, **&IB_CON5=6H**. If true, go to End. If false, go to Reset.
- Reset:** **Reset IB_CON1-5**
- Sector Erase:** Perform Sector Erase operation
- Programming:** Proceed to Programming state



8.4.3 SSP编程注意事项

为确保顺利完成SSP编程，用户软件必须按以下步骤设置：

(1) 用于代码/数据编程：

1. 关闭中断；
2. 根据地址设置XPAGE，IB_OFFSET；
3. 按编程需要，设置IB_DATA；
4. 按照顺序设置IB_CON1 - 5；
5. 添加4个NOP指令；
6. 开始编程，CPU将进入IDLE模式；烧写完成后自动退出IDLE模式；
7. 如需继续写入数据，跳转至第2步；
8. XPAGE寄存器清0，恢复中断设置。

(2) 用于扇区擦除：

1. 关闭中断；
2. 按相应的扇区设置XPAGE；
3. 按照顺序设置IB_CON1 - 5；
4. 添加4个NOP指令；
5. 开始擦除，CPU将进入IDLE模式；擦除完成后自动退出IDLE模式；
6. 如需要继续擦除数据，跳转至第2步；
7. XPAGE寄存器清0，恢复中断设置。

(3) 读取：

使用“MOVC A, @A+DPTR”或者“MOVC A, @A+PC”指令。

(4) 对于类EEPROM区域

对于类EEPROM的操作类似于Flash的操作，即类似上述(1)/(2)/(3)部分的描述。区别在于：

1. 在对类EEPROM进行擦除、写或读之前，应首先将FLASHCON寄存器的最低位FAC位置1。

注意：

- (1) 系统时钟不得低于200kHz以确保FLASH的正常编程。
- (2) 当不需对类EEPROM操作时，必须将FAC位清0。



8.4.4 可读识别码

SH79F9271每颗芯片出厂后都固化有一个40位的可读识别码，它的值为0 - 0xffffffff的随机值，它是无法擦除的（存放在地址信息存储区0x127b - 127f），可以由程序或编程工具读出。

程序读出示例：

```
Unsigned char Temp1, Temp2, Temp3, Temp4, Temp5;
FLASHCON = 0x01;
Temp1 = CBYTE[0x127b];
Temp2 = CBYTE[0x127c];
Temp3 = CBYTE[0x127d];
Temp4 = CBYTE[0x127e];
Temp5 = CBYTE[0x127f];
FLASHCON = 0x00;
```

FLASHCON寄存器的描述如下：

Table 8.13 访问控制寄存器

A7H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
FLASHCON	-	-	-	-	-	-	-	FAC
读/写	-	-	-	-	-	-	-	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	-	-	-	0

位编号	位符号	说明
7-1	-	保留位
0	FAC	访问控制 0: MOV指令或者SSP功能访问Main Block区域 1: MOV指令或者SSP功能访问类EEPROM区域或信息存储区



8.5 系统时钟和振荡器

8.5.1 特性

- 支持2种振荡器类型：内部24M/128K RC振荡器
- 内建24MHz /128KHz RC振荡器
- 内建系统时钟分频器

8.5.2 时钟定义

SH79F9271几个内部时钟定义如下：

OSCCLK：内部128K RC振荡器。 f_{OSC} 定义为OSCCLK的频率。 t_{OSC} 定义为OSCCLK的周期。

OSCXCLK：内部24M RC振荡器的时钟。 f_{OSCX} 定义为OSCXCLK的频率。 t_{OSCX} 定义为OSCXCLK的周期。

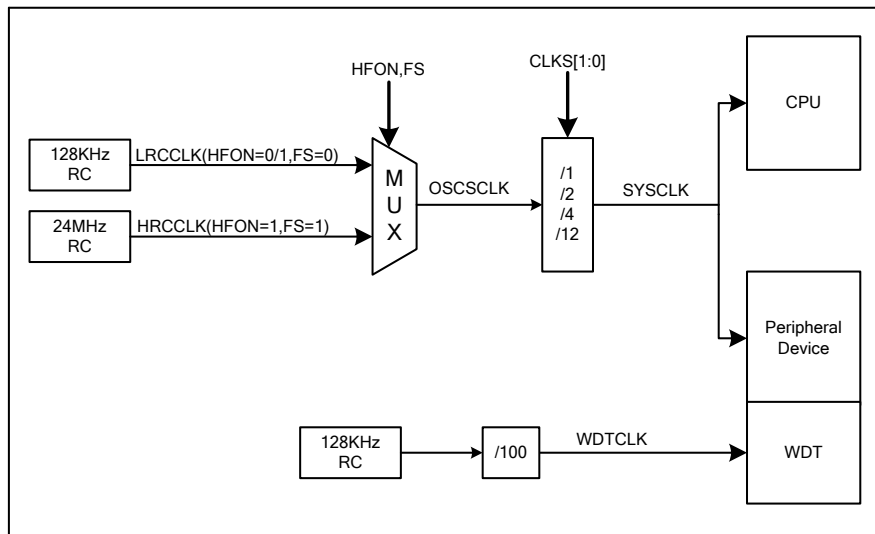
WDTCLK：内部128K RC振荡器。 f_{WDT} 定义为WDTCLK的频率。 t_{WDT} 定义为WDTCLK的周期。

OSCSCLK：系统时钟频率分频器的输入时钟。这个时钟可能为OSCCLK或者OSCXCLK。 f_{OSCS} 定义为OSCSCLK的频率。 t_{OSCS} 定义为OSCSCLK的周期。

SYSCLK：系统时钟，系统频率分频器的输出时钟。这个时钟为CPU指令周期的时钟。 f_{SYS} 定义为SYSCLK的频率。 t_{SYS} 定义为SYSCLK的周期。

8.5.3 概述

SH79F9271支持2种振荡器类型：内部RC振荡器（128K，24MHz）。由振荡器产生的基本时钟脉冲提供系统时钟支持CPU及片上外围设备。





8.5.4 寄存器

Table 8.14 系统时钟控制寄存器

B2H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
CLKCON	-	CLKS1	CLKS0	-	HFON	FS	-	-
读/写	-	读/写	读/写	-	读/写	读/写	-	-
复位值 (POR/WDT/LVR/PIN)	-	1	1	-	0	0	-	-

位编号	位符号	说明
6-5	CLKS[1:0]	系统时钟频率分频器 00: $f_{sys} = f_{osc}$ 01: $f_{sys} = f_{osc}/2$ 10: $f_{sys} = f_{osc}/4$ 11: $f_{sys} = f_{osc}/12$
3	HFON	OSCCLK开关控制位 0: 关闭OSCCLK 1: 打开OSCCLK 只有代码选项OP_OSC为0011时（内部低频振荡器128KHz作为振荡器1，内部高频振荡器作为振荡器2，详见代码选项章节），此控制位才有效
2	FS	频率选择位 0: 选择128kHz为OSCSCLK 1: 选择OSCCLK为OSCSCLK 只有代码选项OP_OSC为0011时（内部低频振荡器128KHz作为振荡器1，内部高频振荡器作为振荡器2，详见代码选项章节），此控制位才有效

注意：（在OP_OSC = 0011，内部低频振荡器128KHz作为振荡器1，内部高频振荡器作为振荡器2的情况下）

- (1) OSCCLK为内建高频24MHzRC;
- (2) 当OSCCLK作为OSCSCLK时（也就是说，HFON = 1和FS = 1），HFON不能软件清0;
- (3) 当OSCSCLK从128K切换到OSCCLK时，假如当时OSCCLK为关闭状态，则必须按以下步骤依次设置：
 - a. 设置HFON = 1，打开OSCCLK;
 - b. 至少等待振荡器预热时间，详见**振荡器预热**章节;
 - c. 设置FS = 1，选择OSCCLK作为OSCSCLK;
- (4) 当OSCSCLK从OSCCLK切回到128K时，则必须按以下步骤依次设置：
 - a. FS位清0，选择128K作为OSCSCLK;
 - b. 添加1个NOP指令
 - c. HFON位清0（降低功耗）
 - d. 添加4个NOP指令。
- (5) 建议上电切换时钟，之后再开中断运行各模块，原则上不建议在模块运行中切换时钟。



8.6 I/O端口

8.6.1 特性

- 26/18/6个双向I/O端口
- I/O端口可与其它功能共享

SH79F9271提供26/18/6个位可编程双向I/O端口。端口数据在寄存器Px中。26/18/6个双向I/O口均有内部上拉电阻。端口控制寄存器(PxCRy)控制端口是作为输入或者输出。当端口作为输入时，有由PxPCRy控制的内部上拉电阻(x = 0-3, y = 0-7)。

SH79F9271的有些I/O引脚能与选择功能共享。当所有功能都允许时，在CPU中存在优先权以避免功能冲突。(详见端口共享章节)。

未使用的I/O需要设置输出(保持低电平)或者输入上拉(保持高电平)，避免引脚浮动导致的漏电及干扰。

8.6.2 寄存器

Table 8.15 端口控制寄存器

E1H – E4H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
P0CR (E1H, Bank0)	P0CR.7	P0CR.6	P0CR.5	P0CR.4	P0CR.3	P0CR.2	P0CR.1	P0CR.0
P1CR (E2H, Bank0)	P1CR.7	*	*	*	*	P1CR.2	P1CR.1	P1CR.0
P2CR (E3H, Bank0)	P2CR.7	P2CR.6	P2CR.5	P2CR.4	P2CR.3	P2CR.2	P2CR.1	P2CR.0
P3CR (E4H, Bank0)	*	P3CR.6	*	P3CR.4	P3CR.3	P3CR.2	P3CR.1	P3CR.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值(POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	PxCRy x = 0-3, y = 0-7	端口输入/输出控制寄存器 0: 输入模式 1: 输出模式

注意: 寄存器表格空白处有*号标记的寄存器位，需要将该*位置1。

Table 8.16 端口上拉电阻控制寄存器

E9H – ECH	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
P0PCR (E9H, Bank0)	P0PCR.7	P0PCR.6	P0PCR.5	P0PCR.4	P0PCR.3	P0PCR.2	P0PCR.1	P0PCR.0
P1PCR (EAH, Bank0)	P1PCR.7	*	*	*	*	P1PCR.2	P1PCR.1	P1PCR.0
P2PCR (EBH, Bank0)	P2PCR.7	P2PCR.6	P2PCR.5	P2PCR.4	P2PCR.3	P2PCR.2	P2PCR.1	P2PCR.0
P3PCR (ECH, Bank0)	*	P3PCR.6	*	P3PCR.4	P3PCR.3	P3PCR.2	P3PCR.1	P3PCR.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值(POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	PxPCRy x = 0-3, y = 0-7	输入端口内部上拉电阻控制 0: 内部上拉电阻关闭 1: 内部上拉电阻开启

注意: 寄存器表格空白处有*号标记的寄存器位，需要将该*位清0。

Table 8.17 端口数据寄存器

80H – B0H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
P0 (80H, Bank0)	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
P1 (90H, Bank0)	P1.7	*	*	*	*	P1.2	P1.1	P1.0
P2 (A0H, Bank0)	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
P3 (B0H, Bank0)	*	P3.6	*	P3.4	P3.3	P3.2	P3.1	P3.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值(POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	Px.y x = 0-3, y = 0-7	端口数据寄存器

注意: 寄存器表格空白处有*号标记的寄存器位，需要将该*位清0。



Table 8.18 端口输出模式选择寄存器

EFH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
POMS	-	-	-	-	-	-	POMS.1	POMS.0
读/写	-	-	-	-	-	-	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	-	-	0	0

位编号	位符号	说明
1-0	POMS.x x = 1-0	端口0输出模式选择 0: 引脚输出模式为N沟道开漏输出 1: 引脚输出模式为CMOS推挽输出

注意: P0.7, P1.0端口作为N-通道的开漏I/O, 此时端口电压不得超过VDD_IN+0.3V。(POMS.0为P0.7, POMS.1为P1.0。)

Table 8.19 端口输入模式选择寄存器

E7H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PIMS	P32S	P31S	P30S	P27S	P17S	P07S	P06S	P05S
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	P32S	P3.2输入电平逻辑控制位 0: 输入高电平阈值为0.8V _{DD} , 输入低电平阈值为0.2V _{DD} (CMOS逻辑, 带施密特) 1: 输入高电平阈值为2.0V, 输入低电平阈值为0.8V (V _{DD} = 4.5 - 5.5V) (TTL逻辑) 输入高电平阈值为0.25V _{DD} +0.8, 输入低电平阈值为0.15V _{DD} (V _{DD} = 2.7V-4.5V) 注意: (1) PowerDown 模式下, TTL 逻辑无效, 且输入使能被强制关闭, 无输入功能; (2) 唤醒 PowerDown 后, TTL 逻辑生效, 输入功能正常; (3) TTL 逻辑对端口数据寄存器输入和其它功能(INT2、RXD 等)都有效。
6	P31S	P3.1输入电平逻辑控制位 同上
5	P30S	P3.0输入电平逻辑控制位 同上
4	P27S	P2.7输入电平逻辑控制位 同上
3	P17S	P1.7输入电平逻辑控制位 同上
2	P07S	P0.7输入电平逻辑控制位 同上
1	P06S	P0.6输入电平逻辑控制 同上
0	P05S	P0.5输入电平逻辑控制位 同上

注意: TTL 电平特性, 详情请见电气特性。



8.6.4 端口共享

26/18/6个双向I/O端口也能共享作为第二或第三种特殊功能。共享优先级按照外部最高内部最低的规则：

在**引脚配置图**中引脚最外边标注功能享有最高优先级，最里边标注功能享有最低优先级。这意味着一个引脚已经使用较高优先级功能（如果被允许的话），就不能用作较低优先级功能，即使较低优先级功能被允许。只有较高优先级功能由硬件或软件关闭后，相应的引脚才能用作较低优先级功能。上拉电阻也由相同规则控制。

当允许端口复用为其它功能时，用户可以修改PxCR、PxPCR（x = 0-3），但在复用的其它功能被禁止前，这些操作不会影响端口状态。

当允许端口复用为其它功能时，任何对端口的读写操作只会影响到数据寄存器的值，端口引脚值保持不变，直到复用的其它功能关闭。

在设置LCM功能时，请注意LCM为可选功能引脚，优先级比普通I/O高，比其它任何功能都低。在端口共享不添加描述。

PORT0:

- AN1 - AN3: ADC输入通道（P0.4 - P0.6）
- RXD0: UART0数据输入（P0.7）
- INT30: 外部中断3输入（P0.7）
- TK9 - TK15: 触摸按键通道9-15（P0.0 - P0.6）

Table 8.20 PORT0共享列表

引脚编号			优先级	功能	允许位
SOP28	SOP20	SOP8			
12	8	-	1	TK9	P0SS 寄存器的 P0SS.0 位置1
			2	P0.0	无上述情况
13	9	-	1	TK10	P0SS 寄存器的 P0SS.1 位置1
			2	P0.1	无上述情况
14	10	-	1	TK11	P0SS 寄存器的 P0SS.2 位置1
			2	P0.2	无上述情况
15	11	-	1	TK12	P0SS 寄存器的 P0SS.3 位置1
			2	P0.3	无上述情况
16	12	-	1	TK13	P0SS 寄存器的 P0SS.4 位置1
			2	AN1	ADC1H 寄存器的 CH1 和 SCH[3:0] 相应位置1
			3	P0.4	无上述情况
17	13	-	1	TK14	P0SS 寄存器的 P0SS.5 位置1
			2	AN2	ADC1H 寄存器的 CH2 和 SCH[3:0] 相应位置1
			3	P0.5	无上述情况
18	14	-	1	TK15	P0SS 寄存器的 P0SS.6 位置1
			2	AN3	ADC1H 寄存器的 CH3 和 SCH[3:0] 相应位置1
			3	P0.6	无上述情况
19	15	-	1	RXD0	SCON 寄存器的 REN 位置1（自动上拉）
			2	INT30	IEN1 寄存器的 EX3 位和 EXF1 寄存器的 EXS30 位置1，且 P0CR 相应位置0
			3	P0.7	无上述情况

**PORT1:**

- INT31: 外部中断3输入 (P1.0)
- TXD0: UART0数据输出 (P1.0)
- INT44, INT45, INT47: 外部中断输入 (P1.2, P1.7, P1.1)
- TK1: 触摸按键通道1 (P1.7)

Table 8.21 PORT1共享列表

引脚编号			优先级	功能	允许位
SOP28	SOP20	SOP8			
20	16	-	1	TXD0	对 SBUF 寄存器写操作
			2	INT31	IEN1 寄存器的 EX3 位和 EXF1 寄存器的 EXS31 位置1, 且 P1CR 相应位置0
			3	P1.0	无上述情况
21	-	-	1	INT47	IEN1 寄存器的 EX4 位和 EXF1 寄存器的 EXS47 位置1, 且 P1CR 相应位置0
			2	P1.1	无上述情况
22	-	-	1	INT44	IEN1 寄存器的 EX4 位和 EXF1 寄存器的 EXS44 位置1, 且 P1CR 相应位置0
			2	P1.2	无上述情况
23	17	5	1	VIN	LPDCON 寄存器的 LPDEN 位和 LPDV 位置1
			2	TK1	P1SS 寄存器的 P1SS.7 位置1
			3	INT45	IEN1 寄存器的 EX4 位和 EXF1 寄存器的 EXS45 位置1, 且 P1CR 相应位置0
			4	P1.7	无上述情况

注意: 当POMS = 03H时, 引脚P0.7, P1.0配置为推挽输出端口。

PORT2:

- INT46: 外部中断4输入 (P2.2)
- TK2 - TK8: 触摸按键输入通道 (P2.0 - P2.6)
- AN4 - AN10: ADC输入通道 (P2.1 - P2.7)

Table 8.22 PORT2共享列表

引脚编号			优先级	功能	允许位
SOP28	SOP20	SOP8			
24	18	6	1	TK2	P2SS 寄存器的 P2SS.0 位置1
			2	P2.0	无上述情况
25	19	7	1	TK3	P2SS 寄存器的 P2SS.1 位置1
			2	AN4	ADC1H 寄存器的 CH4 和 SCH[3:0] 相应位置1
			3	P2.1	无上述情况
26	20	8	1	TK4	P2SS 寄存器的 P2SS.2 位置1
			2	AN5	ADC1H 寄存器的 CH5 和 SCH[3:0] 相应位置1
			3	INT46	IEN1 寄存器的 EX4 位和 EXF1 寄存器的 EXS46 位置1, 且 P2CR 相应位置0
			4	P2.2	无上述情况
27-28 1-2	1-3	-	1	TK5 - TK8	P2SS 中相应位置1
			2	AN6 - AN9	ADC1H 、 ADC2H 寄存器的 CH7-CH6 、 CH9-CH8 和 SCH[3:0] 相应位置1
			3	P2.3 - 2.6	无上述情况
3	4	1	1	$\overline{\text{RST}}$	代码选项
			2	AN10	ADC2H 寄存器的 CH10 和 SCH[3:0] 相应位置1, 并且代码选项选择为普通IO
			3	P2.7	代码选项



PORT3:

- T3: 定时器3外部输入 (P3.1)
- T4: 定时器4外部输入 (P3.0)
- AN11, AN12: ADC输入通道 (P3.3, P3.6)
- INT32: 外部中断输入 (P3.6)
- AN0: ADC输入通道 (P3.4)

Table 8.23 PORT3共享列表

引脚编号			优先级	功能	允许位
SOP28	SOP20	SOP8			
4	-	-	1	T4	T4CON 寄存器的 TR4 和 T4CLKS 位置1 (自动上拉) 或 T4CON 寄存器的 T4CLKS 位清0且 TC4 位置1或方式2下 TR4 位置1
			2	P3.0	无上述情况
5	-	-	1	T3	T3CON 寄存器的 TR3 位置1且 T3CLKS [1:0] = 01 (自动上拉)
			2	P3.1	无上述情况
6	5	2	1	P3.2	
10	-	-	1	AN11	ADC2H 寄存器的 CH11 和 SCH [3:0]相应位置1
			2	P3.3	无上述情况
11	-	-	1	AN0	ADC1H 寄存器的 CH0 和 SCH [3:0]相应位置1
			2	P3.4	无上述情况
7	-	-	1	AN12	ADC2H 寄存器的 CH12 和 SCH [3:0]相应位置1
			2	INT32	IEN1 寄存器的 EX3 位和 EXF1 寄存器的 EXS32 位置1, 且 P3CR 相应位置0
			3	P3.6	无上述情况



8.7 定时器

8.7.1 特性

- SH79F9271有3个定时器（定时器3，4，5）
- 定时器3是16位自动重载定时器，且可以工作在掉电模式
- 定时器4是16位自动重载定时器，两个数据寄存器TH4和TL4可作为一个16位寄存器来访问
- 定时器5是16位自动重载定时器

8.7.2 定时器3

定时器3是16位自动重载定时器，通过两个数据寄存器TH3和TL3访问，由T3CON寄存器控制。IEN0寄存器的ET3位置1允许定时器3中断（详见中断章节）。

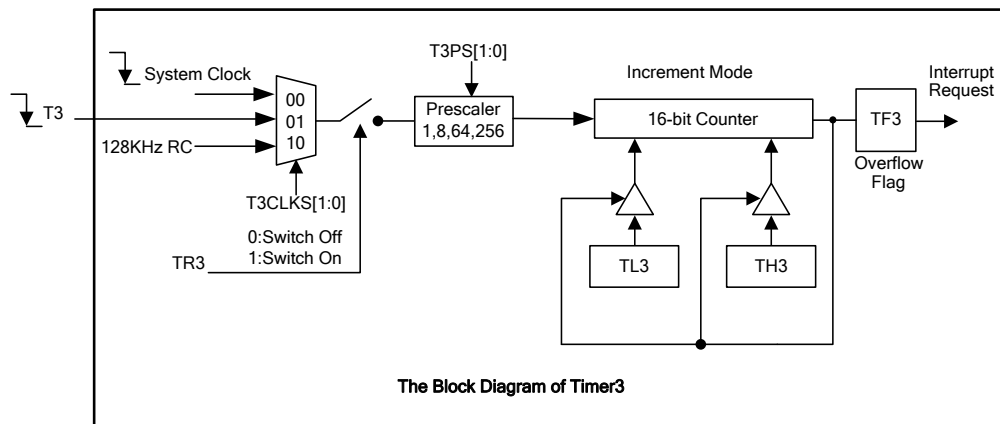
定时器3只有一个工作方式：16位自动重载计数器/定时器，可以设置预分频比，并可以工作在CPU掉电模式。

定时器3有一个16位计数器/定时器寄存器（TH3，TL3）。当TH3和TL3被写时，用作定时器重载寄存器，当被读时，被用作计数寄存器。TR3位置1使定时器3开始递增计数。定时器在0xFFFF到0x0000溢出并置TF3位为1。溢出同时，定时器重载寄存器的16位数据被重新载入计数寄存器中，TH3写操作也导致重载寄存器的数据重新载入计数寄存器。

TH3和TL3读写操作遵循以下顺序：

写操作：先低位后高位

读操作：先高位后低位



定时器3可以工作在掉电模式。

如果T3CLKS[1:0]为00，定时器3不能工作在掉电模式下。如果T3CLKS[1:0]为01，T3端口输入外部时钟，定时器3可以工作在普通模式或掉电模式。当T3CLKS[1:0]为10，定时器3可以工作在普通模式或掉电模式（在系统为高频24MRC时进入掉电模式）。详见下表：

T3CLKS[1:0]	工作在普通模式	工作在掉电模式
00	YES	NO
01	YES	YES
10	YES	YES

注意：

- (1) 在使用T3外灌计数/时钟模式，在读或写TH3和TL3时，要确保TR3 = 0。使用系统时钟时可以随时读写。
- (2) 当定时器3用T3端口作为时钟源时，TR3由0变为1之后的1.5个系统周期内，T3的下降沿无效。



寄存器

Table 8.24 定时器3控制寄存器

88H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
T3CON	TF3	-	T3PS.1	T3PS.0	-	TR3	T3CLKS.1	T3CLKS.0
读/写	读/写	-	读/写	读/写	-	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	-	0	0	-	0	0	0

位编号	位符号	说明
7	TF3	定时器3溢出标志位 0: 无溢出 (硬件清0) 1: 溢出 (硬件置1)
5-4	T3PS[1:0]	定时器3预分频比选择位 00: 1/1 01: 1/8 10: 1/64 11: 1/256
2	TR3	定时器3允许控制位 0: 停止定时器3 1: 开始定时器3
1-0	T3CLKS[1:0]	定时器3定时器/计数器方式选定位 00: 系统时钟, T3引脚用作I/O端口 01: T3端口输入外部时钟, 自动上拉 10: 128kHz RC 11: 保留

Table 8.25 定时器3重载/计数数据寄存器

8CH-8DH, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
TL3	TL3.7	TL3.6	TL3.5	TL3.4	TL3.3	TL3.2	TL3.1	TL3.0
TH3	TH3.7	TH3.6	TH3.5	TH3.4	TH3.3	TH3.2	TH3.1	TH3.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	TL3.x	定时器3低位高位计数器, x = 0 - 7
	TH3.x	



8.7.3 定时器4

定时器4是16位自动重载定时器。通过两个数据寄存器TH4和TL4访问，由T4CON寄存器控制。IEN0寄存器的ET4位置1允许定时器4中断（详见中断章节）。

当TH4和TL4被写时，用作定时器重载寄存器，当被读时，被用做计数寄存器。TR4位置1使定时器4开始递增计数。定时器在0xFFFF到0x0000溢出并置TF4位为1。溢出同时，定时器重载寄存器的16位数据重新载入计数寄存器中，对TH4的写操作也导致重载寄存器的数据重新载入计数寄存器。

TH4和TL4读写操作遵循以下顺序：

写操作：先低位后高位

读操作：先高位后低位

定时器4方式

定时器4有2种工作方式：16位自动重载定时器，和有T4边沿触发的16位自动重载定时器。这些方式通过T4CON寄存器的T4M[1:0]设置。

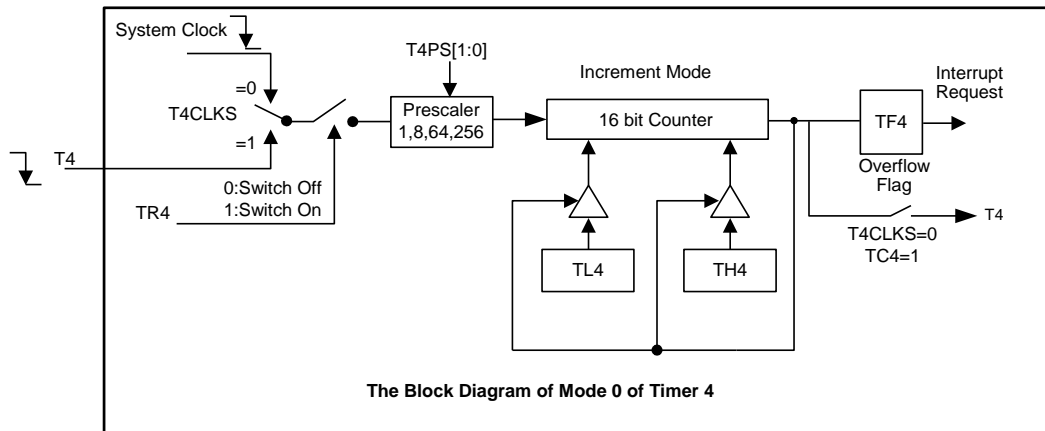
方式0：16位自动重载定时器

定时器4在方式0为16位自动重载定时器。TH4寄存器存放16位计数器/定时器高8位，TL4存放低8位。当16位定时寄存器从0xFFFF到0x0000递增，并溢出时，系统置定时器溢出标志TF4（T4CON.7）为1，16位寄存器的值被重新载入计数器，如果允许定时器4中断则产生中断。

T4CON.0寄存器的T4CLKS位选择时钟源。当T4CLKS = 1时，定时器4的时钟源为外部时钟，预分频后，计数器数据寄存器增加。当T4CLKS = 0，定时器4的时钟源为系统时钟。

T4CON.1寄存器的TR4位置1允许定时器4，且不清定时器4的计数器。在允许定时器4之前，将希望的初始值写入定时器重载寄存器中。

在比较方式中，T4端口自动被硬件设为输出。定时器4从TH4和TL4预设值开始向0xFFFF计数，当计数器溢出时，T4端口输出反转，同时定时器4中断标志位被置起。在比较方式中，定时器4必须工作在定时方式（T4CLKS = 0）。



**方式2：带边沿触发的16位自动重载定时器**

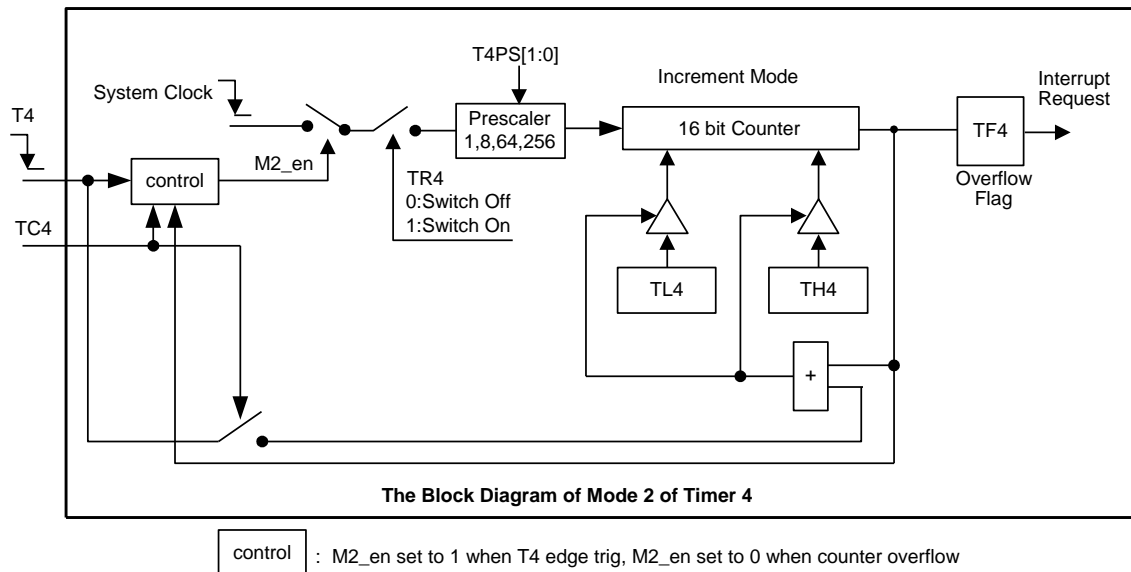
定时器4在方式2为16位自动重载定时器。定时器4只能选择系统时钟为时钟源，其余设置与方式0一致。

方式2中，T4CON.1的TR4位置1，定时器4等待T4端口的触发信号（由T4M[1:0]控制上升/下降沿）开始计数，一个触发信号使定时器4开始运行。当定时器4从0xFFFF到0x0000溢出时，TF4（T4CON.7）会被置起，如定时器4的中断使能，将产生定时器4中断。T4CLKS位始终为0。定时器4的时钟为系统时钟。定时器重载寄存器的数据重载入TH4和TL4中，保持到下一个触发信号。

在方式2下，当TR4位置1后，定时器4在来自T4口的有效信号（T4M[1:0]决定的上升或下降沿）触发下开始计数。当定时器4在0xFFFF到0x0000溢出时置TF4位为1。溢出同时，定时器重载寄存器的16位数据被重新载入计数寄存器TH4和TL4中，定时器4将保持状态并等待下一个触发沿。

在定时器4工作时同时有一个触发信号时，如果TC4 = 0，忽略此信号；如果TC4 = 1，定时器4被触发。

TR4置1不清定时器4的计数器，在允许定时器之前应该把希望的初始化值写入重载寄存器。

**注意：**

- (1) 因为定时器在每个状态时间递增，可能导致读取或写入的结果不精确。因此，在访问TH4/TL4寄存器之前，定时器4必须被关闭（TR4 = 0）。
- (2) 当定时器4用作计数器时，T4引脚的输入信号频率要小于系统时钟的一半。



寄存器

Table 8.26 定时器4控制寄存器

C8H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
T4CON	TF4	TC4	T4PS1	T4PS0	T4M1	T4M0	TR4	T4CLKS
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	TF4	定时器4溢出标志位 0: 无溢出 (硬件清0) 1: 溢出 (硬件置1)
6	TC4	比较功能允许位 当T4M[1:0] = 00 0: 禁止定时器4比较功能 1: 允许定时器4比较功能 当T4M[1:0] = 10或11 0: 定时器4不能被再触发 1: 定时器4可以被再触发
5-4	T4PS[1:0]	定时器4预分频比选择位 00: 1/1 01: 1/8 10: 1/64 11: 1/256
3-2	T4M[1:0]	定时器4方式选择位 00: Mode0, 16位自动重载定时器 10: Mode2, T4端口上升沿触发 (只用系统时钟, T4CLKS无效) 11: Mode2, T4端口下降沿触发 (只用系统时钟, T4CLKS无效)
1	TR4	定时器4允许控制位 0: 禁止定时器4 1: 允许定时器4
0	T4CLKS	定时器4时钟源选择位 0: 系统时钟, T4端口作为I/O口 1: T4端口输入外部时钟, 自动上拉

Table 8.27 定时器4重载/计数数据寄存器

CCH-CDH, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
TL4	TL4.7	TL4.6	TL4.5	TL4.4	TL4.3	TL4.2	TL4.1	TL4.0
TH4	TH4.7	TH4.6	TH4.5	TH4.4	TH4.3	TH4.2	TH4.1	TH4.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	TL4.x	定时器4低位高位计数器, x = 0 - 7
	TH4.x	



8.7.4 定时器5

定时器5是16位自动重载定时器。通过两个数据寄存器TH5和TL5访问，由T5CON寄存器控制。IEN0寄存器的ET5位置1允许定时器5中断（详见中断章节）。

当TH5和TL5被写时，用作定时器重载寄存器，当被读时，被用做计数寄存器。TR5位置1使定时器5开始递增计数。定时器在0xFFFF到0x0000溢出并置TF5位为1。溢出同时，定时器重载寄存器的16位数据重新载入计数寄存器中，对TH5的写操作也导致重载寄存器的数据重新载入计数寄存器。

TH5和TL5读写操作遵循以下顺序：

写操作：先低位后高位

读操作：先高位后低位

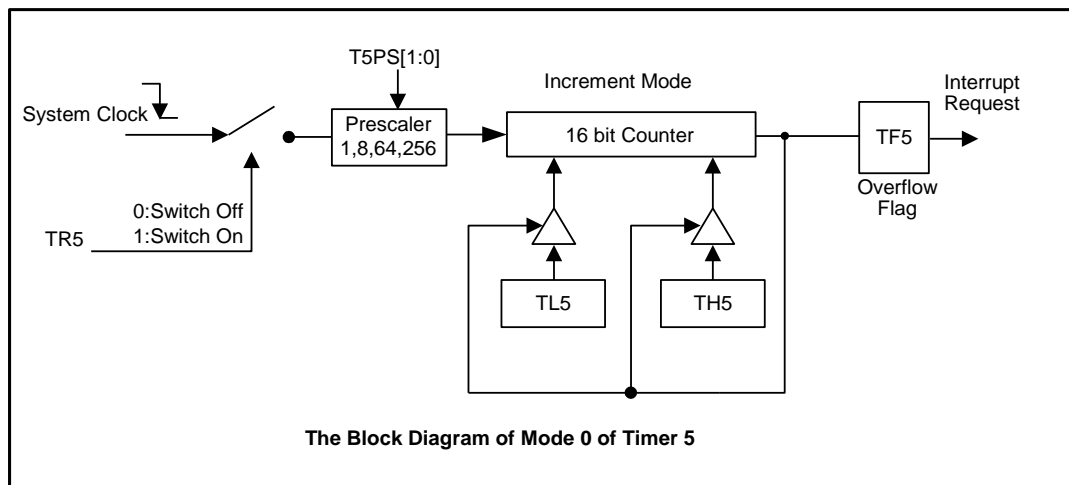
定时器5方式

定时器5有一种工作方式：16位自动重载定时器。

16位自动重载定时器

定时器5在方式0为16位自动重载定时器。TH5寄存器存放16位计数器/定时器高8位，TL5存放低8位。当16位定时寄存器从0xFFFF到0x0000递增，并溢出时，系统置定时器溢出标志TF5（T5CON.7）为1，16位寄存器的值被重新载入计数器，如果允许定时器5中断则产生中断。

T5CON.1寄存器的TR5位置1允许定时器5，且不清定时器5的计数器。在允许定时器5之前，将希望的初始值写入定时器重载寄存器中。





寄存器

Table 8.28 定时器5控制寄存器

C0H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
T5CON	TF5	-	T5PS1	T5PS0	-	-	TR5	-
读/写	读/写	-	读/写	读/写	-	-	读/写	-
复位值 (POR/WDT/LVR/PIN)	0	-	0	0	-	-	0	-

位编号	位符号	说明
7	TF5	定时器5溢出标志位 0: 无溢出 (硬件清0) 1: 溢出 (硬件置1)
5-4	T5PS[1:0]	定时器5预分频比选择位 00: 1/1 01: 1/8 10: 1/64 11: 1/256
1	TR5	定时器5允许控制位 0: 禁止定时器5 1: 允许定时器5

Table 8.29 定时器5重载数据寄存器

CEH-CFH, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
TL5	TL5.7	TL5.6	TL5.5	TL5.4	TL5.3	TL5.2	TL5.1	TL5.0
TH5	TH5.7	TH5.6	TH5.5	TH5.4	TH5.3	TH5.2	TH5.1	TH5.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	TL5.x	定时器5低位高位计数器, x = 0 - 7
	TH5.x	



8.8 中断

8.8.1 特性

- 13个中断源
- 4层中断优先级

SH79F9271有13个中断源：3个外部中断（INT2-INT4，INT3共3个中断源INT30-33共享一个向量地址，INT4共4个中断源INT44-47共享一个向量地址），3个定时器中断（定时器3，定时器4，定时器5），2个EUART中断，ADC中断和2路PWM中断，触摸按键中断，一个LPD中断。SH79F9271中断采用4级优先级结构，为处理13个中断源提供了极大的灵活性。

另外，SH79F9271为INT2/3/4提供了4种外部中断触发方式，可以通过寄存器选择。

8.8.2 中断允许控制

任何一个中断源均可通过对寄存器IEN0和IEN1中相应的位置位或清零，实现单独允许或禁止此中断功能。IEN0寄存器中还包含了一个全局使能位EA，它可以禁止所有的中断。如果要打开某个中断源，必须将EA控制位和IEN0/1中相应的控制位都设置为1。在复位后，所有中断允许位被清0，所有中断被禁止。

Table 8.30 初级中断允许寄存器

A8H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IEN0	EA	EADC	ET3	ES0	ET5	ET4	ETK	*
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	EA	所有中断允许位 0: 禁止所有中断 1: 允许所有中断
6	EADC	ADC中断允许位 0: 禁止ADC中断 1: 允许ADC中断
5	ET3	定时器3溢出中断允许位 0: 禁止定时器3溢出中断 1: 允许定时器3溢出中断
4	ES0	EUART0中断允许位 0: 禁止EUART0中断 1: 允许EUART0中断
3	ET5	定时器5溢出中断允许位 0: 禁止定时器5溢出中断 1: 允许定时器5溢出中断
2	ET4	定时器4溢出中断允许位 0: 禁止定时器4溢出中断 1: 允许定时器4溢出中断
1	ETK	触摸按键中断允许位 0: 禁止触摸按键中断 1: 允许触摸按键中断



Table 8.31 中断允许寄存器1

A9H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IEN1	*	ELPD	EX2	EX3	EX4	EPWM1	EPWM0	ES1
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
6	ELPD	LPD中断允许位 0: 禁止LPD中断 1: 允许LPD中断
5	EX2	外部中断2允许位 0: 禁止外部中断2 1: 允许外部中断2
4	EX3	外部中断3允许位 0: 禁止外部中断3 1: 允许外部中断3
3	EX4	外部中断4允许位 0: 禁止外部中断4 1: 允许外部中断4
2	EPWM1	PWM1溢出中断允许位 0: 禁止PWM1溢出中断 1: 允许PWM1溢出中断
1	EPWM0	PWM0中断允许位 0: 禁止PWM0中断 1: 允许PWM0中断
0	ES1	EUART1中断允许位 0: 禁止EUART1中断 1: 允许EUART1中断

Table 8.32 中断通道允许寄存器

BAH	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IENC	EXS47	EXS46	EXS45	EXS44	-	EXS32	EXS31	EXS30
读/写	读/写	读/写	读/写	读/写	-	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	-	0	0	0

位编号	位符号	说明
6-0	EXS3x/4x x = 0 - 7	外部中断3/4通道选择位 (x = 0 - 7) 0: 禁止外部中断3x/4x 1: 允许外部中断3x/4x

注意:

- (1) 打开外部中断3/4时, 相应的端口必须设置为输入状态。
- (2) 若要打开外部中断3/4, EX3/4和IENC中的EXS3x/4x (x = 0 - 7) 相应位必须同时置1。



8.8.3 中断标志

每个中断源都有自己的中断标志，当产生中断时，硬件会置起相应的标志位，在中断汇总表中会列出中断标志位。

外部中断INT2产生外部中断INT2时，如果中断为边沿触发，CPU在响应中断后，中断标志位IE2被硬件清0；如果中断是低电平触发，外部中断源引脚电平直接控制中断标志，而不是由片上硬件控制。

外部中断INT3产生中断时，EXF1寄存器中的IF3x (x = 0 - 2) 标志位置位，INT3共3个中断源共享一个中断向量地址，标志位IF3x需要用户软件清除。但是如果INT3为电平触发时，标志位不能被用户软件清除，只受INT3中断源引脚所接信号电平直接控制。

外部中断INT4产生中断时，EXF1寄存器中的IF4x (x = 4 - 7) 标志位置位，INT4共4个中断源共享一个中断向量地址，标志位需要用户软件清除。但是如果INT4为电平触发时，标志位IF4x不能被用户软件清除，只受INT4中断源引脚所接信号电平直接控制。

注意尽管外部中断被禁止，但是中断标志位仍然受外部中断源输入状态变化而改变，除非该输入引脚配置为其它功能。

定时器3中断，定时器3的计数器溢出时，T3CON寄存器的TF3中断标志位置1，产生**定时器3**中断请求，CPU在响应中断后，TF3标志被硬件自动清0。

定时器4中断，定时器4的计数器溢出时，T4CON寄存器的TF4中断标志位置1，产生**定时器4**中断请求，CPU在响应中断后，TF4标志被硬件自动清0。

定时器5中断，定时器5的计数器溢出时，T5CON寄存器的TF5中断标志位置1，产生**定时器5**中断请求，CPU在响应中断后，TF5标志被硬件自动清0。

串行通讯中断，SCON/1寄存器的标志RI或TI置1时，产生**EUART0/1**中断，CPU在响应中断后，标志不会被硬件自动清0。事实上，中断服务程序必须判断是收中断还是发中断，标志必须由软件清零。

ADC中断，ADCON寄存器的ADCIF标志位置1时，产生**ADC**中断。中断标志必须由软件清0。

触摸按键中断，中断标志位IFAVE置起时，产生**touch**中断，中断标志必须软件清0。

PWM0/1中断，PWM0/1是独立的12bit PWM模块，此标志位在中断响应时由软件清0。



Table 8.33 外部中断标志寄存器

E8H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
EXF0	IT4.1	IT4.0	IT3.1	IT3.0	IT2.1	IT2.0	-	IE2
读/写	读/写	读/写	读/写	读/写	读/写	读/写	-	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	-	0

位编号	位符号	说明
7-6	IT4[1:0]	外部中断4触发模式位 00: 低电平触发 01: 下降沿触发 10: 上升沿触发 11: 双沿触发 IT4[1:0]控制外部中断4各中断源采用同一触发方式
5-4	IT3[1:0]	外部中断3触发模式位 00: 低电平触发 01: 下降沿触发 10: 上升沿触发 11: 双沿触发 IT3[1:0]控制外部中断3各中断源采用同一触发方式
3-2	IT2[1:0]	外部中断2触发模式位 00: 低电平触发 01: 下降沿触发 10: 上升沿触发 11: 双沿触发
0	IE2	外部中断2请求标志位（硬件清0） 0: 无中断挂起 1: 中断挂起

Table 8.34 外部中断3/4标志寄存器

D8H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
EXF1	IF47	IF46	IF45	IF44	-	IF32	IF31	IF30
读/写	读/写	读/写	读/写	读/写	-	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	-	0	0	0

位编号	位符号	说明
7-0	IF3x/4x (x = 0 - 7)	外部中断3/4请求标志，IF3x/4x须被软件清0 0: 无中断请求 1: 有中断请求



8.8.4 中断向量

当一个中断产生时，程序计数器内容被压栈，相应的中断向量地址被载入程序计数器。中断向量的地址在中断摘要表中详细列出。

8.8.5 中断优先级

每个中断源都可被单独设置为4个中断优先级之一，分别通过清0或置1 IPL0, IPH0, IPL1, IPH1中相应位来实现。但OVL不可屏蔽中断无需IPH/IPL控制，在所有中断源中享有最高优先级（除复位外）。中断优先级服务程序描述如下：

响应一个中断服务程序时，可响应更高优先级的中断，但不能响应同优先级或低优先级的另一个中断。

响应最高级中断服务程序时，不响应其它任何中断。如果不同中断优先级的中断源同时申请中断时，响应较高优先级的中断申请。

如果同优先级的中断源在指令周期开始时同时申请中断，那么内部查询序列确定中断请求响应顺序。

捕捉中断及比较器2中断优先级共享同一优先级设置，二者同时申请中断时按内部轮询优先级响应。

中断优先级		
优先位		中断优先级
IPHx	IPLx	
0	0	等级0（最低优先级）
0	1	等级1
1	0	等级2
1	1	等级3（最高优先级）

Table 8.35 中断优先级控制寄存器

B8H, B4H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IPL0	*	PADCL	PT3L	PS0L	PT5L	PT4L	PTKL	*
IPH0	*	PADCH	PT3H	PS0H	PT5H	PT4H	PTKH	*
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

B9H, B5H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
IPL1	*	PLPDL	PX2L	PX3L	PX4L	PPWM1L	PPWM0L	PS1L
IPH1	*	PLPDH	PX2H	PX3H	PX4H	PPWM1H	PPWM0H	PS1H
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
IPL0[6:1] IPH0[6:1] IPL1[6:0] IPH1[6:0]	PxxxL/H	相应中断源xxx优先级选择



8.8.6 中断处理

中断标志在每个机器周期都会被采样获取。所有中断都在时钟的上升沿被采样。如果一个标志被置起，那么CPU捕获到后中断系统调用一个长转移指令（LCALL）调用其中断服务程序，但由硬件产生的LCALL会被下列任何条件阻止：

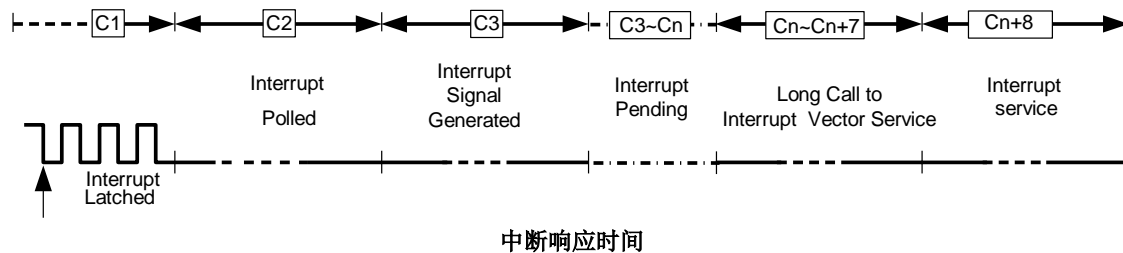
同级或更高级的优先级中断在运行中。

当前的周期不是执行中指令的最后一个周期。换言之，正在执行的指令完成前，任何中断请求都得不到响应。

正在执行的是一条RETI或者访问专用寄存器IEN0\1或是IPL\H的指令。换言之，在RETI或者读写IEN0\1或是IPL\H之后，不会马上响应中断请求，而至少在执行一条其它指令之后才会响应。

注意：因为更改优先级通常需要2条指令，在此期间，建议关闭相应的中断以避免在修改优先级过程中产生中断。如果当模块状态改变而中断标志不再有效时，将不会响应此中断。每一个轮询周期只查询有效的中断请求。

轮询周期/LCALL次序如下图所示：



由硬件产生的LCALL把程序计数器中的内容压入堆栈（但不保存PSW），然后将相应中断源的向量地址（参照中断向量表）存入程序计数器。

中断服务程序从指定地址开始，到RETI指令结束。RETI指令通知处理器中断服务程序结束，然后把堆栈顶部两字节弹出，重载入程序计数器中，执行完中断服务程序后程序回到原来停止的地方。RET指令也可以返回到原来地址继续执行，但是中断优先级控制系统仍然认为一个同一优先级的中断被响应，这种情况下，当同一优先级或低优先级中断将不会被响应。

8.8.7 中断响应时间

如果检测出一个中断，这个中断的请求标志位就会在被检测后的每个机器周期被置起。内部电路会保持这个值直到下一个机器周期，CPU会在第三个机器周期产生中断。如果响应有效，条件允许，在下一个指令执行的时候硬件LCALL指令将调用请求中断的服务程序，否则中断被挂起。LCALL指令调用程序需要7个机器周期。因而，从外部中断请求到开始执行中断程序中的第一条指令至少需要3+7个完整的机器周期。

当请求因前述的三个情况受阻时，中断响应时间会加长。如果同级或更高优先级的中断正在执行，额外的等待时间取决于正执行的中断服务程序的长度。

如果正在执行的指令还没有进行到最后一个周期，假如正在执行RETI指令，则完成正在执行的RETI指令，需要8个周期，加上为完成下一条指令所需的最长时间20个机器周期（如果该指令是16位操作数的DIV，MUL指令），若系统中只有一个中断源，再加上LCALL调用指令7个机器周期，则最长的响应时间是2+8+20+7个机器周期。

所以，中断响应时间一般大于10个机器周期小于37个机器周期。



8.8.8 外部中断输入

SH79F9271有3个外部中断输入。外部中断2,3,4分别有一个独立的中断源，外部中断3有3个中断源共享一个中断矢量地址，外部中断4有4个中断源共享一个中断矢量地址。

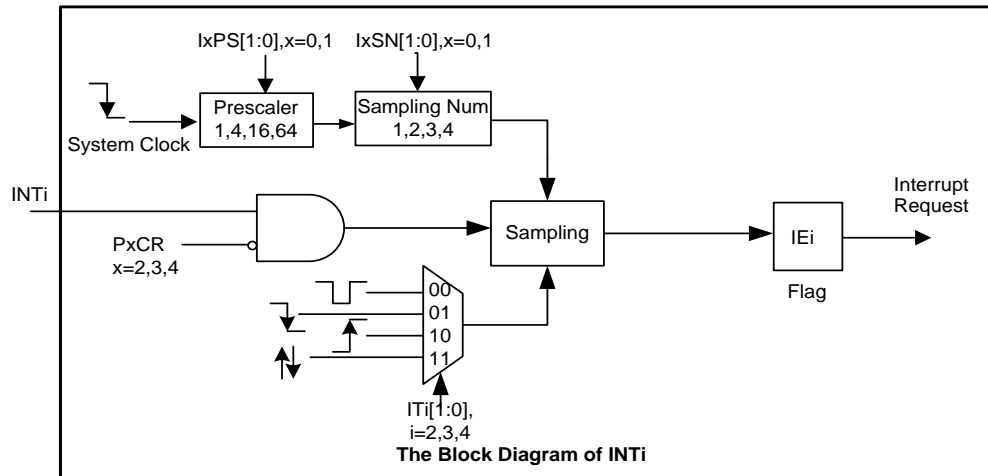
外部中断2有一个独立的中断源，外部中断2/3/4可以通过设置EXF0寄存器的ITx (x = 2, 3, 4)，选择是电平触发或是边沿触发或者为双沿触发。当ITx = 00 (x = 2, 3, 4) 时，外部中断INTx (x = 2, 3, 4) 引脚为低电平触发；当ITx (x = 2, 3, 4) = 01，外部中断INTx (x = 2, 3, 4) 为下降沿触发，在这个模式中，一个采样周期内INTx (x = 2, 3, 4) 引脚上连续采样为高电平，而下个周期开始，连续采样SN个周期为低电平 (SN为Sample Num)，EXF0寄存器的中断请求标志位置1，发出一个中断请求。由于外部中断引脚每个周期采样一次，输入高或低电平应当保持至少SN个周期以确保能够被正确采样到。当ITx (x = 2, 3, 4) = 11，外部中断INTx (x = 2, 3, 4) 为双沿触发，任何高低电平的转换都会触发一个中断请求。

如果外部中断为下降沿，上升沿触发，外部中断源应当将中断脚至少保持SN个周期高 (低) 电平，然后至少保持SN个周期低 (高) 电平。这样就确保了边沿能够被检测到以使IEx置1。当调用中断服务程序后，CPU自动将IEx清0。

如果外部中断为低电平触发，外部中断源必须一直保持请求有效，直到产生所请求的中断为止，此过程需要2倍SN个采样周期。如果中断服务完成后而外部中断仍旧维持，则会产生下一次中断。当中断为电平触发时不必清除中断标志IEx (x = 2, 3, 4)，因为中断只与输入口电平有关。

中断采样时钟分频比和连续采样次数均可以设置EXCON寄存器进行调节，满足不同中断响应要求。

当SH79F9271进入空闲或是掉电模式，中断会唤醒处理器继续工作，详见电源管理章节。



注意：外部中断2的中断标志位在执行中断服务程序时被自动硬件清0，但外部中断3标志位IF30-32必须要软件清0，外部中断4标志位IF44-47必须要软件清0。

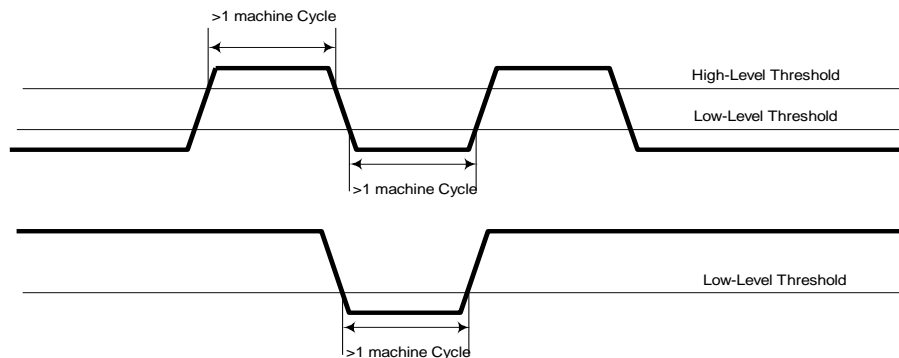




Table 8.36 外部中断采样次数控制寄存器

8BH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
EXCON	I1PS1	I1PS0	I1SN1	I1SN0	I0PS1	I0PS0	I0SN1	I0SN0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-6	I1PS[1:0]	外部中断INT4采样时钟预分频比选择位 00: 1/1 01: 1/4 10: 1/16 11: 1/64
5-4	I1SN[1:0]	外部中断INT4连续采样次数选择位 00: 1 01: 2 10: 3 11: 4
3-2	I0PS[1:0]	外部中断INT2,3采样时钟预分频比选择位 00: 1/1 01: 1/4 10: 1/16 11: 1/64
1-0	I0SN[1:0]	外部中断INT2,3连续采样次数选择位 00: 1 01: 2 10: 3 11: 4

注意：若I0SN[1:0] = 11，则外部中断2,3（下降沿触发），连续采样4次低电平才会产生中断标志。外部中断2，3，4在掉电模式下无debounce时间，EXCON寄存器设置无效。

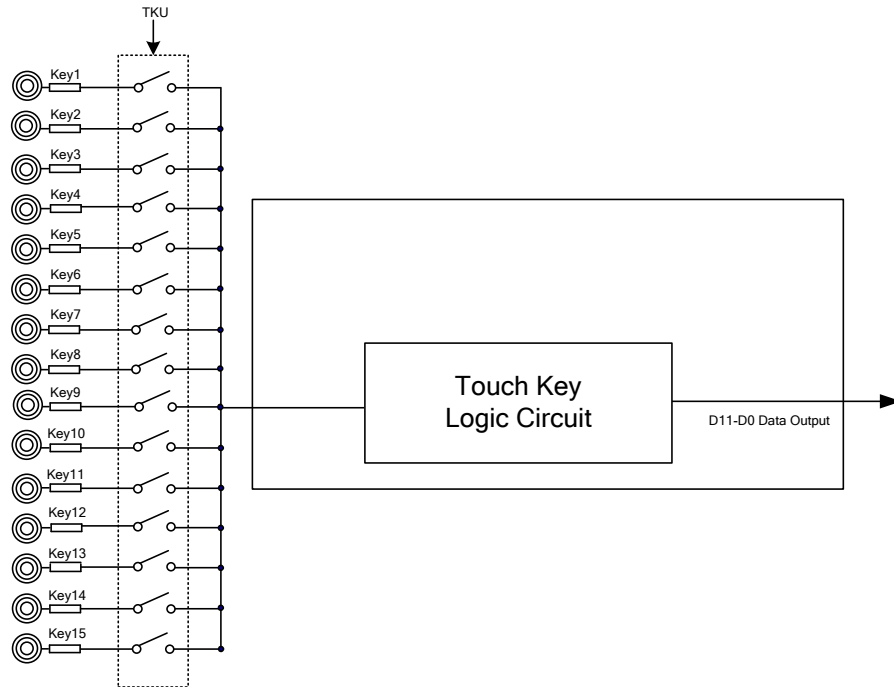
**8.8.9 中断汇总**

中断源	向量地址	允许位	标志位	轮询优先级	中断号 (c语言)
Reset	0000H	-	-	0 (最高级)	
-	-	-	-	-	-
TK	000BH	ETK	IFAVE	2	1
Timer4	0013H	ET4	TF4	3	2
Timer5	001BH	ET5	TF5	4	3
EUART0	0023H	ES0	RI+TI	5	4
Timer3	002BH	ET3	TF3	6	5
ADC	0033H	EADC	ADCIF	7	6
EUART1	003BH	ES1	RI1+TI1	8	7
PWM0	0043H	EPWM0	PWM0IF	9	8
PWM1	004BH	EPWM1	PWM1IF	10	9
INT4	0053H	EX4+IENC	IF4X	11	10
INT3	005BH	EX3+IENC	IF3X	12	11
INT2	0063H	EX2	IE2	13	12
LPD	006BH	ELPD	LPDIF	14	13



9. 增强功能

9.1 Touch Key触摸按键功能



系统框图

功能描述

SH79F9271内建触摸按键功能模块，最大能连接15个按键，内建校准电路。

应用时无需外接电容，即可实现触摸检测功能。

触摸按键功能时的启动扫描步骤：

- (1) 选择需要扫描的按键通道；
- (2) 寄存器TKCON位置1，允许触摸按键模块工作；
- (3) 设置按键采样次数、扫描顺序、Cs初值，延迟至少5.4us（预热时间）；
- (4) 寄存器TKGO/DONE位置1，启动按键扫描，开始校准过程（TKGO置1后，在其清零前，不允许修改任何TK模块寄存器的值）；
- (5) 中断产生，TKGO硬件自动清0
- (6) 通过第一组数据计算并调整Cs大小；
- (7) 重复步骤（4）-（6）至无触摸状态下检测误差在合理范围内；
- (8) 寄存器TKGO/DONE位置1，启动按键扫描，开始正常扫描过程；
- (9) IFAVE = 1，程序保存数据结果，一组按键扫描完成。



9.2 12bit脉冲宽度调制 (PWM0/1)

9.2.1 特性

- 两路 12 位精度 PWM 模块
- 提供每个 PWM 周期溢出中断
- 输出极性可选择

SH79F9271内建两路12位PWM模块。PWM模块可以产生2路周期和占空比分别可以调整的脉宽调制波形。PWMxEN (x = 0-1) 位用于使能2路PWM模块。PWMxCON (x = 0-1) 控制PWMx模块的时钟源、输出极性、周期中断等。寄存器PWMxPH/L (x = 0-1) 用于设置PWMx模块的周期, 寄存器PWMxDH/L (x = 0-1) 用于设置PWMx模块的占空比。

9.2.2 12位PWM定时器

SH79F9271包含两路12位PWM模块。PWM模块可以产生周期和占空比分别可调整的脉宽调制波形。PWMxCON (x = 0-1) 寄存器用于控制PWMx模块的时钟、波形输出以及周期中断, PWMxPH/L 寄存器用于控制PWMx输出波形的周期, PWMxDH/L (x = 0-1) 寄存器用于控制PWMx模块输出波形的占空比。

在PWM输出允许期间, 可以修改这三个寄存器, 但在下一个PWM周期修改才会起作用。

Table 9.1 12位PWM控制寄存器

PWMx控制寄存器PWMxCON (x = 0-1)

D9H, Bank0 C9H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PWM0CON (D9H)	PWM0EN	PWM0S	PWM0CK2	PWM0CK1	PWM0CK0	PWM0IE	PWM0IF	PWM0SS
PWM1CON (C9H)	PWM1EN	PWM1S	PWM1CK2	PWM1CK1	PWM1CK0	PWM1IE	PWM1IF	PWM1SS
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	PWMxEN	PWMx使能位 0: 禁止PWMx模块 1: 允许PWMx模块
6	PWMxS	PWMx输出模式 0: PWMx占空比期间输出高电平, 占空比溢出后输出低电平 1: PWMx占空比期间输出低电平, 占空比溢出后输出高电平
5-3	PWMxCK[2-0]	PWMx时钟选择位 000: 系统时钟/1 001: 系统时钟/2 010: 系统时钟/4 011: 系统时钟/8 100: 系统时钟/16 101: 系统时钟/32 110: 系统时钟/64 111: 系统时钟/128
2	PWMxIE	PWMx中断使能位 (当IEN1寄存器中的EPWMx位置1) 0: 禁止PWMx周期中断 1: 允许PWMx周期中断
1	PWMxIF	PWMx中断标志位 0: PWMx周期计数器没有溢出 1: PWMx周期计数器溢出, 由硬件置1
0	PWMxSS	PWMx引脚输出控制位 0: PWMx输出禁止, 用作I/O等功能 注: 如果此位为0而PWMxEN = 1, 则整个PWMx模块仍然正常运行, 只是波形输出被禁止, PWMx模块可以做一个定时器来使用。 1: PWMx输出允许 注: 如果此位设为1而PWMxEN位为0, 则PWMx输出非选电平 (选为高电平有效则出低电平, 低电平有效则出高电平)。



Table 9.2 PWM0周期寄存器PWM0PH/L

DBH-DAH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PWM0PH (DBH)	-	-	-	-	PWM0P.11	PWM0P.10	PWM0P.9	PWM0P.8
PWM0PL (DAH)	PWM0P.7	PWM0P.6	PWM0P.5	PWM0P.4	PWM0P.3	PWM0P.2	PWM0P.1	PWM0P.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
11-0	PWM0P[11:0]	12位PWM0周期寄存器

PWM0输出周期 = [PWM0PH, PWM0PL] X PWM时钟周期。

PWM0的计数器计满至PWM0PH/L中的值后归零，若PWM0PH/L为0时，如果PWM0S为0，则PWM0引脚输出低电平；如果PWM0S为1，则PWM0引脚输出高电平。

Table 9.3 PWM1周期寄存器PWM1PH/L

CBH-CAH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PWM1PH (CBH)	-	-	-	-	PWM1P.11	PWM1P.10	PWM1P.9	PWM1P.8
PWM1PL (CAH)	PWM1P.7	PWM1P.6	PWM1P.5	PWM1P.4	PWM1P.3	PWM1P.2	PWM1P.1	PWM1P.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
3-0 7-0	PWM1P[11:0]	12位PWM1周期寄存器

PWM1输出周期 = [PWM1PH, PWM1PL] X PWM时钟周期。

PWM1的计数器计满至PWM1PH/L中的值后归零，若PWM1PH/L为0时，如果PWM1S为0，则PWM1引脚输出低电平；如果PWM1S为1，则PWM1引脚输出高电平。

注意：修改寄存器PWMxPH将使得PWMx的输出在下一个周期生效。用户需先修改PWMxPL，再修改PWMxPH以修改PWM周期。无论PWMxPH是否被修改，都需要将PWMxPH再写一次。

Table 9.4 PWM0占空比控制寄存器PWM0DH/L

DDH-DCH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PWM0DH (DDH)	-	-	-	-	PWM0D.11	PWM0D.10	PWM0D.9	PWM0D.8
PWM0DL (DCH)	PWM0D.7	PWM0D.6	PWM0D.5	PWM0D.4	PWM0D.3	PWM0D.2	PWM0D.1	PWM0D.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
3-0 7-0	PWM0D[11:0]	<p>PWM0占空比控制，控制PWM0波形占空比的输出时间</p> <ol style="list-style-type: none"> 当PWM0P ≤ PWM0D时 <ul style="list-style-type: none"> 如果PWM0S = 0，则PWM0引脚输出高电平 如果PWM0S = 1，则PWM0引脚输出低电平 当PWM0D = 00H时 <ul style="list-style-type: none"> 如果PWM0S = 0，则PWM0引脚输出低电平 如果PWM0S = 1，则PWM0引脚输出高电平



Table 9.5 PWM1 占空比寄存器PWM1DH/L

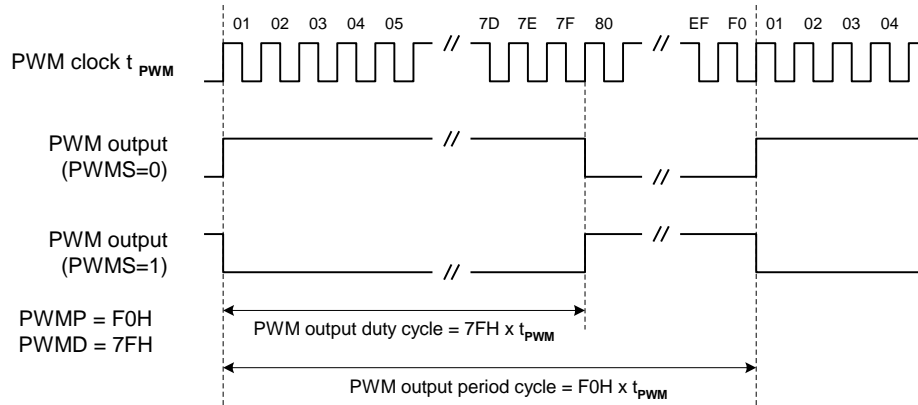
CDH-CCH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PWM1DH (CDH)	-	-	-	-	PWM1D.11	PWM1D.10	PWM1D.9	PWM1D.8
PWM1DL (CCH)	PWM1D.7	PWM1D.6	PWM1D.5	PWM1D.4	PWM1D.3	PWM1D.2	PWM1D.1	PWM1D.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
3-0 7-0	PWM1D[11-0]	<p>PWM1占空比控制，控制PWM1波形占空比的输出时间</p> <ol style="list-style-type: none"> 当PWM1P ≤ PWM1D时 如果PWM1S = 0，则PWM1引脚输出高电平 如果PWM1S = 1，则PWM1引脚输出低电平 当PWM1D = 00H时 如果PWM1S = 0，则PWM1引脚输出低电平 如果PWM1S = 1，则PWM1引脚输出高电平

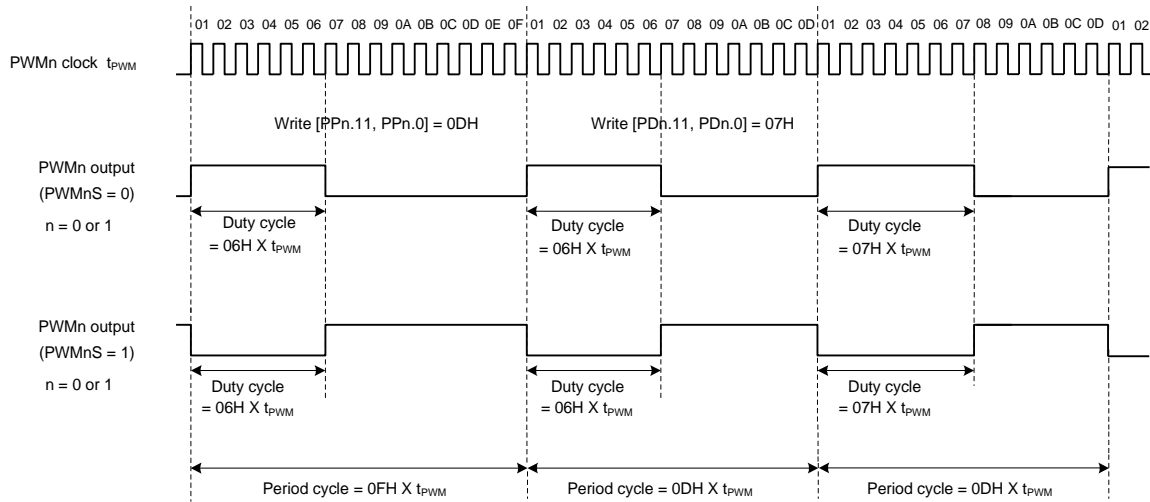
注意：修改寄存器PWMxDH将使得PWMx的输出在下一个周期生效。用户需先修改PWMxDL，再修改PWMxDH以修改PWM占空比。无论PWMxDH是否被修改，都需要将PWMxDH再写一次。否则，低位的修改无效。

编程流程：

- (1) 选择PWM模块时钟源。
- (2) 通过写适当的值到PWM周期控制寄存器（PWMxPH/L）或PWM占空比寄存器（PWMxDH/L）设置PWM周期/占空比，先设置低位，再设置高位。注意，即使高位数值不变，也要重写一次，否则，低位的修改无效。
- (3) 通过设置PWM控制寄存器（PWMxCON）的PWMxS位选择PWMx输出模式（高电平有效或低电平有效）。
- (4) 如果PWM周期或者占空比需要改变，操作流程如同步骤2或者步骤3说明。修改后的重载计数器的值在下一个周期开始有效。



PWM 输出示例



PWM输出周期或占空比更改示例

注意事项:

- (1) PWMxEN位能控制PWMx模块打开。
- (2) PWMxSS位能选择Px.y端口是作为I/O端口还是PWM输出端口。
- (3) 在IEN2寄存器中的EPWMx位和PWMxCON寄存器中的PWMxIE位能允许/禁止PWMx中断。
- (4) 如果PWMxEN置1, PWMx模块打开, 但PWMxSS = 0, PWMx输出关闭, 此时PWMx模块可以用作一个12bit timer, 此时如果中断控制寄存器IEN2的EPWMx位置1, PWMx中断照样发生。



The diagram shows three signals over time:

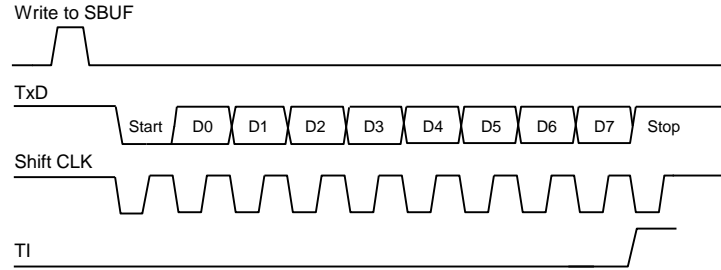
- RxD**: A bus signal showing data bytes D0 through D7 being received.
- TxD**: A clock signal that is high during the data transfer.
- RI**: A strobe signal that goes low during the data transfer.

The diagram illustrates the internal architecture of the 68180 UART module. Key components and their interconnections include:

- Baud rate Generator:** Provides an overflow signal from 7FFF to 0000, which is divided by 16 to generate TX and RX clocks.
- Serial Controller:** The central unit managing TX and RX operations. It includes TX START, TX CLOCK, TX SHIFT, TX START, TX CLOCK, RX CLOCK, RX START, and RX SHIFT signals.
- Transmit Shift Register:** Receives data from the Internal Data Bus via the PARIN signal and outputs TXD. It is controlled by STOP, START, LOAD, and CLOCK signals.
- Receive Shift Register:** Receives data from the RX SHIFT signal and outputs to the SBUF register. It is controlled by SIN, PAROUT, D8, and RB8 signals.
- Interrupt Logic:** The TXI and RXI signals are combined via an OR gate to generate the Serial Port Interrupt.
- Buffer and Detector Logic:** The 1-TO-0 DETECTOR monitors the RXD line for a sample. The BIT DETECTOR processes the RXD signal and outputs to the RX START signal.
- Internal Data Bus:** Facilitates data transfer between the Transmit Shift Register, the SBUF register, and the Receive Shift Register.



任何将SBUF_x作为目标寄存器的写操作都会启动发送，实际上发送是从16分频计数器中的下一次跳变之后的系统时钟开始的，因此位时间与16分频计数器是同步的，与对SBUF_x的写操作不同步。起始位首先在TXD_x引脚上移出，然后是8位数据位。在发送移位寄存器中的所有8位数据都发送完后，停止位在TXD_x引脚上移出，在停止位发出的同时TI标志置位。

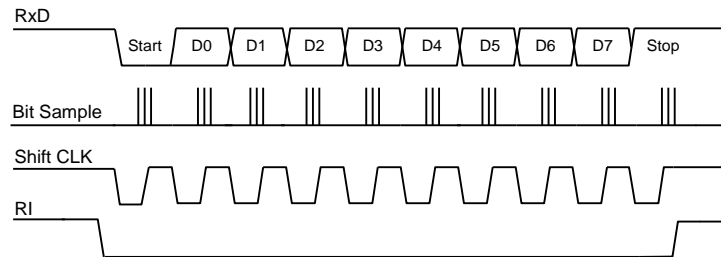


Send Timing of Mode 1

只有REN_x置位时才允许接收。当RXD_x引脚检测到下降沿时串行口开始接收串行数据。为此，CPU对RXD_x不断采样，采样速率为波特率的16倍。当检测下降沿时，16分频计数器立即复位，这有助于16分频计数器与RXD_x引脚上的串行数据位同步。16分频计数器把每一位的时间分为16个状态，在第7、8、9状态时，位检测器对RXD_x端的电平进行采样。为抑制噪声，在这3个状态采样中至少有2次采样值一致数据才被接收。如果所接收的第一位不是0，说明这位不是一帧数据的起始位，该位被忽略，接收电路被复位，等待RXD_x引脚上另一个下降沿的到来。若起始位有效，则移入移位寄存器，并接着移入其它位到移位寄存器。8个数据位和1个停止位移入之后，移位寄存器的内容被分别装入SBUF_x和RB8中，RI_x置位，但必须满足下列条件：

- (1) RI_x = 0
- (2) SMx2 = 0或者接收的停止位 = 1

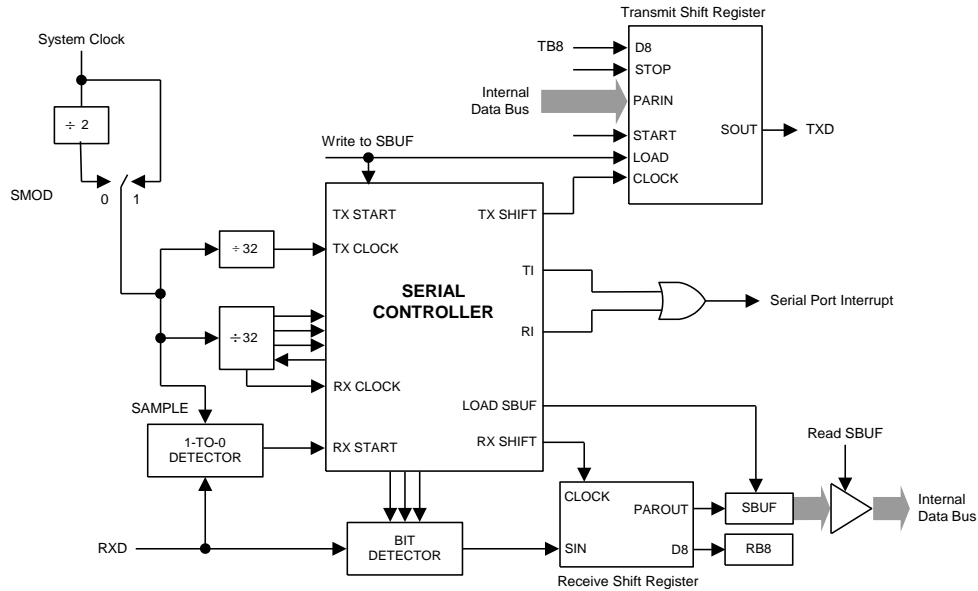
如果这些条件被满足，那么停止位装入RB8，8个数据位装入SBUF_x，RI_x被置位。否则接收的帧会丢失。这时，接收器将重新去探测RXD_x端是否另一个下降沿。用户必须用软件清零RI_x，然后才能再次接收。



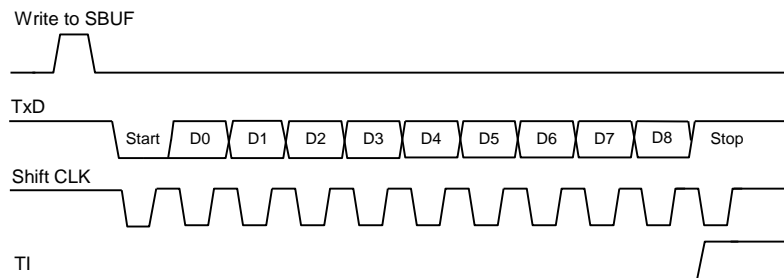
Receive Timing of Mode 1

**方式2：9位EUARTx，固定波特率，异步全双工**

这个方式使用异步全双工通信中的11位。一帧由一个起始位（逻辑0），8个数据位（低位为第一位），一个可编程的第9数据位（SCONx中的TB8）可以写0或1，例如，可写入PSW中的奇偶位P，或用作多机通信中的数据/地址标志位。当接收到数据时，第9数据位移入RB8而停止位不保存。PCON中的SMOD位选择波特率为系统工作频率的1/32或1/64。功能块框图如下所示：



任何将SBUFx作为目标寄存器的写操作都会启动发送，同时也将TB8载入到发送移位寄存器的第9位中。实际上发送是从16分频计数器中的下一次跳变之后的系统时钟开始的，因此位时间与16分频计数器是同步的，与对SBUFx的写操作不同步。起始位首先在TXDx引脚上移出，然后是9位数据。在发送转换寄存器中的所有9位数据都发送完后，停止位在TXDx引脚上移出，在停止位开始发送时TI标志置位。

**Send Timing of Mode 2**

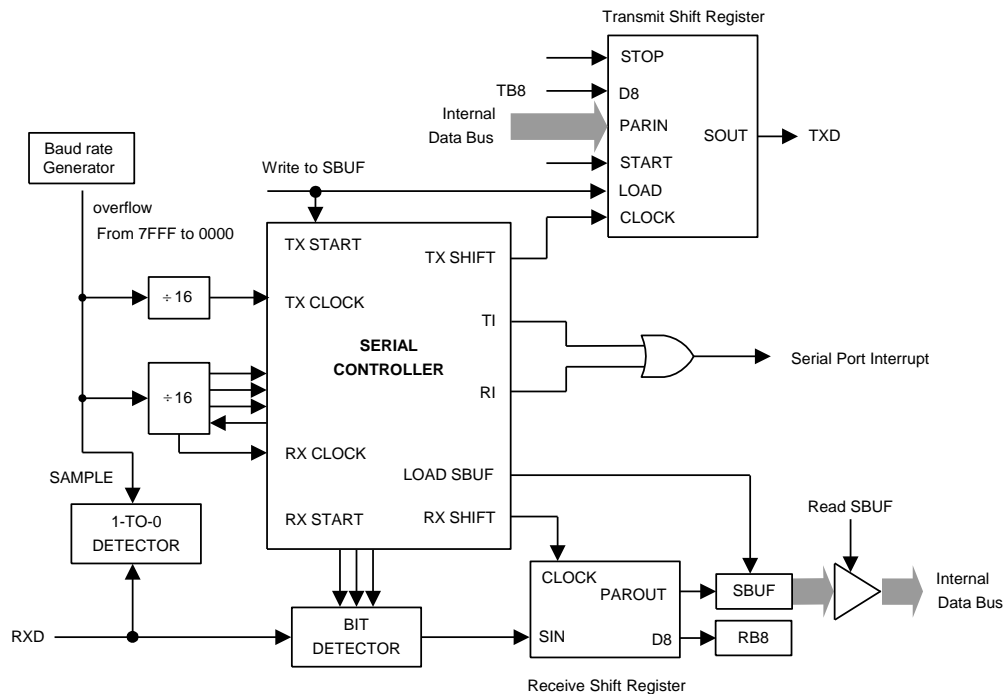


(2) SMx2 = 0或者接收的第9位 = 1，且接收的字节符合约定从机地址。

在停止位的当中，接收器回到寻找RXDx引脚上的另一个下降沿。用户必须用软件清除R1x，然后才能再次接收。



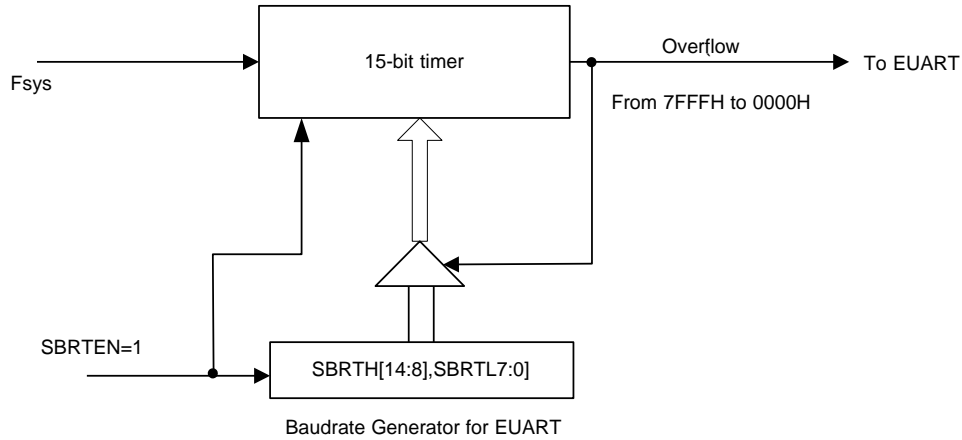
方式3使用方式2的传输协议以及方式1的波特率产生方式。





9.3.3 可微调波特率

EUARTx自带一个波特率发生器，它实质上就是一个15位递增计数器。



由图得到，波特率发生器的溢出率为

$$SBRT_{overflowrate} = \frac{F_{sys}}{32768 - SBRT}, \quad SBRT = [SBRTH, SBRTL]$$

因此，EUARTx在各模式下的波特率计算公式如下。

在方式0中，波特率可编程为系统时钟的1/12或1/4，由SMx2位决定。当SMx2为0时，串行端口在系统时钟的1/12下运行。当SMx2为1时，串行端口在系统时钟的1/4下运行。

在方式1和方式3中，波特率可微调，精度为一个系统时钟，公式如下：

$$BaudRate = \frac{F_{sys}}{16 \times (32768 - SBRT) + SFINE}$$

例如：Fsys = 8MHz，需要得到115200Hz的波特率，SBRT和SFINE值计算方法如下：

$$8000000/16/115200 = 4.34$$

$$SBRT = 32768 - 4 = 32764$$

$$\text{由BaudRate计算公式: } 115200 = 8000000 / (16 \times 4 + SFINE)$$

$$\text{得到: } SFINE = 5.4 \approx 5$$

此微调方式计算出的实际波特率为115942，误差为0.64%；以往方式计算出的波特率误差为8.5%。

在方式2中，波特率固定为系统时钟的1/32或1/64，由SMOD位（PCON.7）中决定。当SMOD位为0时，EUARTx以系统时钟的1/64运行。当SMOD位为1时，EUARTx以系统时钟的1/32运行。

$$BaudRate = 2^{SMOD} \times \left(\frac{f_{sys}}{64} \right)$$



9.3.4 多机通讯

软件地址识别

方式2和方式3有一个专门的适用于多机通讯的功能。在这两个方式下，接收的是9位数据，第9位移入RB8中，然后再来一位停止位。EUARTx可以这样来设定：当接收到停止位时，只有在RB8 = 1的条件下，串行口中断才会有效（请求标志RIx置1）。可以通过将SCONx寄存器的SMx2位置1使EUARTx具有这个功能。

在多机通讯系统中，以如下所述来利用这一功能。当主机要发送一数据块给几个从机中的一个时，它先送出一地址字节，以辨认目标从机。地址字节与数据字节可用第9数据位来区别，地址字节的第9位为1，数据字节的第9位为0。

如果从机SMx2为1，则不会响应数据字节中断。地址字节可以中断所有从机，这样，每一个从机都检查所接收到的地址字节，以判别自己是不是目标从机。被寻到的从机清0 SMx2位，并准备接收即将到来的数据字节，当接收完毕时，从机再一次将SMx2置1。没有被寻到的从机，则维持它们的SMx2位为1，忽略到来的数据字节，继续做自己的事情。

注意：在方式0中，SMx2用来选择波特率加倍。在方式1中，SMx2用来检测停止位是否有效，如果SMx2 = 1，接收中断不会响应直到接收到一个有效的停止位。

自动（硬件）地址识别

在方式2和方式3中，SMx2置1将使EUARTx在如下状态下运行：当1个停止位被接收时，如果载入RB8的第9数据位为1（地址字节）并且接收到的数据字节符合EUARTx的从机地址，EUARTx产生一个中断。接着，从机应该将SMx2清零，以接收后续的数据字节。

在9位方式下要求第9位为1以表明该字节是地址而非数据。当主机要发送一组数据给几个从机中的一个时，必须先发送目标从机的地址。所有从机在等待接收地址字节时，为了确保仅在接收地址字节时产生中断，SMx2位必须置1。自动地址识别的特点是只有地址匹配的从机才能产生中断，地址比较通过硬件完成而不是软件。

中断产生后，地址相匹配的从机清零SMx2，继续接收数据字节。地址不匹配的从机不受影响，将继续等待接收和它匹配的地址字节。一旦全部信息接收完毕，地址匹配的从机应该再次把SMx2置1，忽略所有传送的非地址字节，直到接收到下一个地址字节。

使用自动地址识别功能时，主机可以通过调用给定的从机地址选择与一个或多个从机通信。使用广播地址可以联系所有的从机。有两个特殊功能寄存器用来定义从机地址（SADDR）和地址屏蔽（SADEN）。从机地址是一个8位的字节，存于SADDR寄存器中。SADEN用于定义SADDR内位的有效与否，如果SADEN中某一位为0，则SADDR中相应位的被忽略，如果SADEN中某一位置1，则SADDR中相应位的将用于得到给定的从机地址。这可以使用户在不改变SADDR寄存器中的从机地址的情况下灵活地寻址多个从机。使用给定地址可以识别多个从机而排除其它的从机。

	从机1	从机2
SADDR	10100100	10100111
SADEN（为0的位被忽略）	11111010	11111001
实际从机地址	10100x0x	10100xx1
广播地址（SADDR或SADEN）	1111111x	11111111

从机1和从机2给定地址的最低位是不同的。从机1忽略了最低位，而从机2的最低位是1。因此只与从机1通讯时，主机必须发送最低位为0的地址（10100000）。类似地，从机1的第1位为0，从机2的第1位被忽略。因此，只与从机2通讯时，主机必须发送第1位为1的地址（10100011）。如果主机希望同时与两从机通讯，则第0位为1，第1位为0，第2位被两从机都忽略，此时有两个不同的地址用于选定两个从机（1010 0001和1010 0101）。

主机可以通过广播地址与所有从机同时通讯。这个地址等于SADDR和SADEN的逻辑或，结果中的0表示该位被忽略。多数情况下，广播地址为0xFFh，该地址可被所有从机应答。

系统复位后，SADDR和SADEN两个寄存器初始化为0，这两个结果设定了给定地址和广播地址为XXXXXXXX（所有位都被忽略）。这有效地去除了多处机通讯的特性，禁止了自动寻址方式。这样的EUARTx将对任何地址都产生应答，兼容了不支持自动地址识别的8051控制器。用户可以按照上面提到的方法实现软件识别地址的多机通讯。



9.3.5 帧出错检测

当寄存器PCON中的SSTAT位为逻辑1时，帧出错检测功能才有效。3个错误标志位被置1后，只能通过软件清零，尽管后续接收的帧没有任何错误也不会自动清零。

注意：SSTAT位必须为逻辑1是访问状态位（FE，RXOV和TXCOL），SSTAT位为逻辑0时是访问方式选择位（SMx0，SMx1和SMx2）。

发送冲突

如果在一个发送正在进行时，用户软件写数据到SBUFx寄存器时，发送冲突位（SCONx寄存器中的TXCOL位）置1。如果发生了冲突，新数据会被忽略，不能被写入发送缓冲器。

接收溢出

如果在接收缓冲器中的数据未被读取之前，R1x清0。又有新的数据存入接收缓冲器，那么接收溢出位（SCONx寄存器中的RXOV位）置1。如果发生了接收溢出，接收缓冲器中原来的数据将丢失。

帧出错

如果检测到一个无效（低）停止位，那么帧出错位（寄存器SCONx中的FE）置1。

暂停检测

当连续检测到11个位都为低电平位时，则认为检测到一个暂停。由于暂停条件同样满足帧错误条件，因此检测到暂停时也会报告帧错误。一旦检测到暂停条件，UART将进入空闲状态并一直保持，直至接收到有效停止位（RXDx引脚上出现上升沿）。

9.3.6 寄存器

Table 9.6 电源控制寄存器

87H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PCON	SMOD	SSTAT	*	*	GF1	GF0	PD	IDL
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	SMOD	UART0波特率加倍器 0: 在方式2中，波特率为系统时钟的1/64 1: 在方式2中，波特率为系统时钟的1/32
6	SSTAT	SCON[7:5]功能选择位 0: SCON[7:5]工作方式作为SM0，SM1，SM2 1: SCON[7:5]工作方式作为FE，RXOV，TXCOL
3-0	-	Other: 参见“电源管理”章节



Table 9.7 EUART0控制及状态寄存器

98H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SCON	SM0 /FE	SM1 /RXOV	SM2 /TXCOL	REN	TB8	RB8	TI	RI
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-6	SM[0:1]	EUART0串行方式控制位, SSTAT = 0 00: 方式0, 同步方式, 固定波特率 01: 方式1, 8位异步方式, 可变波特率 10: 方式2, 9位异步方式, 固定波特率 11: 方式3, 9位异步方式, 可变波特率
7	FE	EUART0帧出错标志位, 当FE位被读时, SSTAT位必须被置位 0: 无帧出错, 由软件清零 1: 帧出错, 由硬件置位
6	RXOV	EUART0接收溢出标志位, 当RXOV位被读时, SSTAT位必须被置位 0: 无接收溢出, 由软件清零 1: 接收溢出, 由硬件置位
5	SM2	EUART0多处理机通讯允许位 (第9位“1”校验器), SSTAT = 0 0: 在方式0下, 波特率是系统时钟的1/12 在方式1下, 禁止停止位确认检验, 任何停止位都会置位RI 在方式2和3下, 任何字节都会置位RI 1: 在方式0下, 波特率是系统时钟的1/4 在方式1下, 允许停止位确认检验, 只有有效的停止位 (1) 才能置位RI 在方式2和3下, 只有地址字节 (第9位 = 1) 才能置位RI
5	TXCOL	EUART0发送冲突标志位, 当TXCOL位被读时, SSTAT位必须被置位 0: 无发送冲突, 由软件清零 1: 发送冲突, 由硬件置位
4	REN	EUART0接收器允许位 0: 接收禁止 1: 接收允许
3	TB8	在EUART0的方式2和3下发送的第9位, 由软件置位或清零
2	RB8	在EUART0的方式1, 2和3下接收的第9位 在方式0下, 不使用RB8 在方式1下, 如果接收中断发生, 停止位移入RB8 在方式2和3下, 接收第9位
1	TI	EUART0的传送中断标志位 0: 由软件清零 1: 由硬件置位
0	RI	EUART0的接收中断标志位 0: 由软件清零 1: 由硬件置位



Table 9.8 EUART0数据缓冲器寄存器

99H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SBUF	SBUF.7	SBUF.6	SBUF.5	SBUF.4	SBUF.3	SBUF.2	SBUF.1	SBUF.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	SBUF[7:0]	这个寄存器寻址两个寄存器：一个移位寄存器和一个接收锁存寄存器 SBUF的写入将发送字节到移位寄存器中，然后开始传输 SBUF的读取返回接收锁存器中的内容

Table 9.9 EUART0从机地址及地址屏蔽寄存器

9AH-9BH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SADDR (9AH)	SADDR.7	SADDR.6	SADDR.5	SADDR.4	SADDR.3	SADDR.2	SADDR.1	SADDR.0
SADEN (9BH)	SADEN.7	SADEN.6	SADEN.5	SADEN.4	SADEN.3	SADEN.2	SADEN.1	SADEN.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	SADDR[7:0]	寄存器 SADDR 定义了EUART0的从机地址
7-0	SADEN[7:0]	寄存器 SADEN 是一个位屏蔽寄存器，决定 SADDR 的哪些位被检验 0: SADDR中的相应位被忽略 1: SADDR中的相应位对照接收到的地址被检验

Table 9.10 EUART0波特率发生器寄存器

9CH-9DH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SBRTH (9DH)	SBRTEN	SBRT.14	SBRT.13	SBRT.12	SBRT.11	SBRT.10	SBRT.9	SBRT.8
SBRTL (9CH)	SBRT.7	SBRT.6	SBRT.5	SBRT.4	SBRT.3	SBRT.2	SBRT.1	SBRT.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	SBRTEN	EUART0波特率发生器使能控制位 0: 关闭（默认） 1: 打开
6-0, 7-0	SBRT[14:0]	EUART0波特率发生器计数器高7位和低8位寄存器

Table 9.11 EUART0波特率发生器微调寄存器

9EH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SFINE	-	-	-	-	SFINE.3	SFINE.2	SFINE.1	SFINE.0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0

位编号	位符号	说明
3-0	SFINE[3:0]	EUART0波特率发生器微调数据寄存器



Table 9.12 EUART1控制及状态寄存器

A0H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SCON1	SM10 /FE1	SM11 /RXOV1	SM12 /TXCOL1	REN1	TB81	RB81	TI1	RI1
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-6	SM1[0:1]	EUART1串行方式控制位, SSTAT1 = 0 00: 方式0, 同步方式, 固定波特率 01: 方式1, 8位异步方式, 可变波特率 10: 方式2, 9位异步方式, 固定波特率 11: 方式3, 9位异步方式, 可变波特率
7	FE1	EUART1帧出错标志位, 当FE1位被读时, SSTAT1位必须被置位 0: 无帧出错, 由软件清零 1: 帧出错, 由硬件置位
6	RXOV1	EUART1接收溢出标志位, 当RXOV1位被读时, SSTAT1位必须被置位 0: 无接收溢出, 由软件清零 1: 接收溢出, 由硬件置位
5	SM12	EUART1多处理机通讯允许位 (第9位“1”校验器), SSTAT1 = 0 0: 在方式0下, 波特率是系统时钟的1/12 在方式1下, 禁止停止位确认检验, 任何停止位都会置位RI1 在方式2和3下, 任何字节都会置位RI1 1: 在方式0下, 波特率是系统时钟的1/4 在方式1下, 允许停止位确认检验, 只有有效的停止位 (1) 才能置位RI1 在方式2和3下, 只有地址字节 (第9位 = 1) 才能置位RI1
5	TXCOL1	EUART1发送冲突标志位, 当TXCOL1位被读时, SSTAT1位必须被置位 0: 无发送冲突, 由软件清零 1: 发送冲突, 由硬件置位
4	REN1	EUART1接收器允许位 0: 接收禁止 1: 接收允许
3	TB81	在EUART1的方式2和3下发送的第9位, 由软件置位或清零
2	RB81	在EUART1的方式1, 2和3下接收数据的第9位 在方式0下, 不使用RB81 在方式1下, 如果接收中断发生, 停止位移入RB81 在方式2和3下, 接收第9位
1	TI1	EUART1的传送中断标志位 0: 由软件清零 1: 由硬件置位
0	RI1	EUART1的接收中断标志位 0: 由软件清零 1: 由硬件置位



Table 9.13 EUART1串行控制寄存器

A7H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PCON1	SMOD1	SSTAT1	-	-	-	-	-	-
读/写	读/写	读/写	-	-	-	-	-	-
复位值 (POR/WDT/LVR/PIN)	0	0	-	-	-	-	-	-

位编号	位符号	说明
7	SMOD1	UART1波特率加倍器 0: 在方式2中, 波特率为系统时钟的1/64 1: 在方式2中, 波特率为系统时钟的1/32
6	SSTAT1	SCON1[7:5]功能选择 0: SCON[7:5]工作方式作为SM10, SM11, SM12 1: SCON[7:5]工作方式作为FE1, RXOV1, TXCOL1

Table 9.14 EUART1数据缓冲器寄存器

A1H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SBUF1	SBUF1.7	SBUF1.6	SBUF1.5	SBUF1.4	SBUF1.3	SBUF1.2	SBUF1.1	SBUF1.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	SBUF1[7:0]	这个寄存器寻址两个寄存器: 一个移位寄存器和一个接收锁存寄存器 SBUF1的写入将发送字节到移位寄存器中, 然后开始传输 SBUF1的读取返回接收锁存器中的内容

Table 9.15 EUART1从机地址及地址屏蔽寄存器

A2H-A3H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SADDR1 (A2H)	SADDR1.7	SADDR1.6	SADDR1.5	SADDR1.4	SADDR1.3	SADDR1.2	SADDR1.1	SADDR1.0
SADEN1 (A3H)	SADEN1.7	SADEN1.6	SADEN1.5	SADEN1.4	SADEN1.3	SADEN1.2	SADEN1.1	SADEN1.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	SADDR1[7:0]	寄存器SADDR1定义了EUART1的从机地址
7-0	SADEN1[7:0]	寄存器SADEN1是一个位屏蔽寄存器, 决定SADDR1的哪些位被检验 0: SADDR1中的相应位被忽略 1: SADDR1中的相应位对照接收到的地址被检验

**Table 9.16** EUART1波特率发生器寄存器

A5H-A4H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SBRTH1 (A5H)	SBRTEN1	SBRT1.14	SBRT1.13	SBRT1.12	SBRT1.11	SBRT1.10	SBRT1.9	SBRT1.8
SBRTL1 (A4H)	SBRT1.7	SBRT1.6	SBRT1.5	SBRT1.4	SBRT1.3	SBRT1.2	SBRT1.1	SBRT1.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	SBRTEN1	EUART1波特率发生器使能控制位 0: 关闭 (默认) 1: 打开
6-0, 7-0	SBRT1[14:0]	EUART1波特率发生器计数器高7位和低8位寄存器

Table 9.17 EUART1波特率发生器微调寄存器

A6H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SFINE1	-	-	-	-	SFINE1.3	SFINE1.2	SFINE1.1	SFINE1.0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0

位编号	位符号	说明
3-0	SFINE1[3:0]	EUART1波特率发生器微调数据寄存器

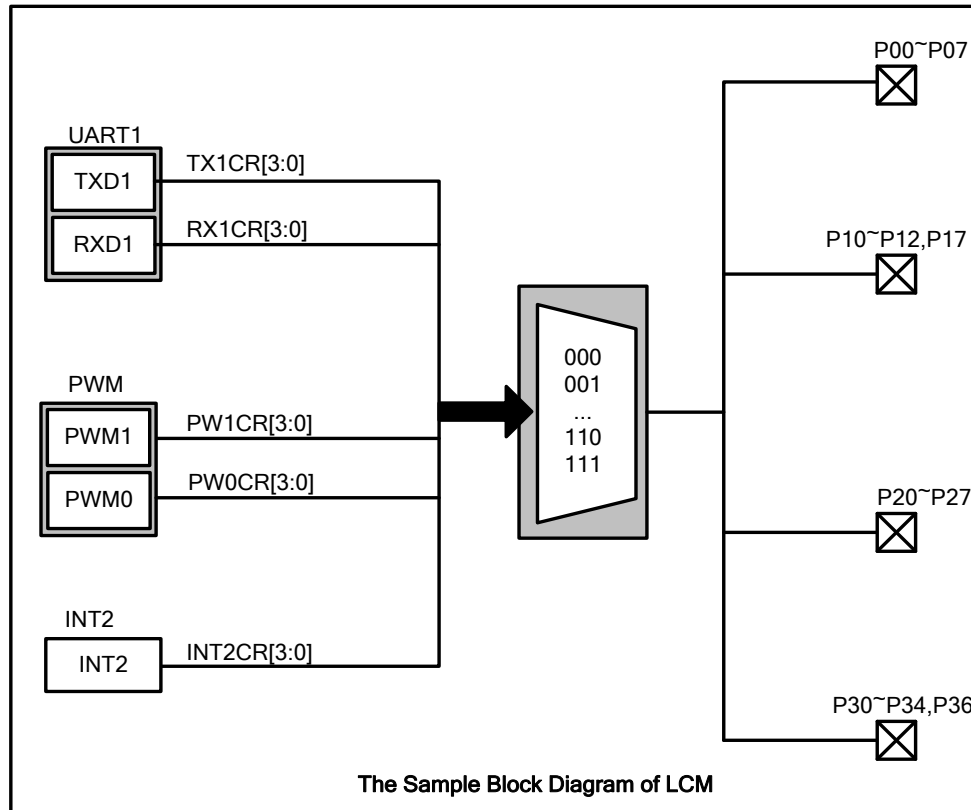


9.4 数字逻辑可配置模块 (LCM)

9.4.1 特性

- 5种数字逻辑功能口可以通过数字逻辑可配置模块重新映像到I/O，且每种功能可在8个IO口中选择其一。

逻辑可配置模块 (Logic Configurable Module, LCM) 用来实现对部分数字逻辑功能重映像到I/O，且保持数字逻辑与硬件端口一一对应的布局关系。如果在引脚功能定义过程中出现同一端口配置多个功能，多个功能会同时有效；例如：某一个IO被同时配置成TXD & PWM输出，则会同时输出2种功能模块的波形从而在这个IO上出现杂乱波形；某一个IO被同时设置成RXD和外部中断2输入，则这个IO的下降沿在产生外部中断2的同时会触发RXD输入功能。



The Sample Block Diagram of LCM



功能	UART1		PWM0	PWM1	INT2
引脚	RXD1	TXD1	PWM0	PWM1	INT2
P0.0				●	●
P0.1			●		
P0.2					●
P0.3				●	
P0.4					
P0.5	●	●			●
P0.6	●	●	●		●
P0.7	●	●			
P1.0				●	
P1.1			●		
P1.2				●	
P1.7	●	●	●		
P2.0				■	●
P2.1			■		
P2.2					
P2.3					
P2.4					
P2.5				●	
P2.6			●		
P2.7	■	●		●	●
P3.0	●	●	●		●
P3.1	●	●		●	
P3.2	●	■	●		■
P3.6					
P3.3					
P3.4					

***注：**表格中黑色圆点（●）为该引脚的可选配置功能，黑色方块（■）表示复位后默认的逻辑可配置模块（LCM）的功能引脚。黑色方块（■）表示可以通过逻辑可配置模块（LCM）配置到相应的黑色圆点（●）引脚。

LCM的优先级相对于IO引脚其它功能为最低（除IO功能外）。



9.4.2 寄存器

Table 9.18 TXD1和RXD1引脚配置寄存器

E1H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
UART1CR	-	TX1CR2	TX1CR1	TX1CR0	-	RX1CR2	RX1CR1	RX1CR0
读/写	-	读/写	读/写	读/写	-	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	1	1	1	-	1	0	0

位编号	位符号	说明
6-4	TX1CR[2:0]	TXD1配置位 000: TXD1映射到P0.5 001: TXD1映射到P0.6 010: TXD1映射到P0.7 011: TXD1映射到P1.7 100: TXD1映射到P2.7 101: TXD1映射到P3.0 110: TXD1映射到P3.1 111: TXD1映射到P3.2 (默认)
2-0	RX1CR[2:0]	RXD1配置位 000: RXD1映射到P0.5 001: RXD1映射到P0.6 010: RXD1映射到P0.7 011: RXD1映射到P1.7 100: RXD1映射到P2.7 (默认) 101: RXD1映射到P3.0 110: RXD1映射到P3.1 111: RXD1映射到P3.2

Table 9.19 PWM0和PWM1引脚配置寄存器

E2H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PWMCR	-	PW1CR2	PW1CR1	PW1CR0	-	PW0CR2	PW0CR1	PW0CR0
读/写	-	读/写	读/写	读/写	-	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	1	0	0	-	1	0	0

位编号	位符号	说明
6-4	PWM1CR[2:0]	PWM1配置位 000: PWM1映射到P0.0 001: PWM1映射到P0.3 010: PWM1映射到P1.0 011: PWM1映射到P1.2 100: PWM1映射到P2.0 (默认) 101: PWM1映射到P2.5 110: PWM1映射到P2.7 111: PWM1映射到P3.1
2-0	PWM0CR[2:0]	PWM0配置位 000: PWM0映射到P0.1 001: PWM0映射到P0.6 010: PWM0映射到P1.1 011: PWM0映射到P1.7 100: PWM0映射到P2.1 (默认) 101: PWM0映射到P2.6 110: PWM0映射到P3.0 111: PWM0映射到P3.2

**Table 9.20** INT2引脚配置寄存器

E3H, Bank1	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
INTCR	-	-	-	-	-	INT2CR2	INT2CR1	INT2CR0
读/写	-	-	-	-	-	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	-	1	1	1

位编号	位符号	说明
2-0	INT2CR[2:0]	INT2配置位 000: INT2映射到P0.0 001: INT2映射到P0.2 010: INT2映射到P0.5 011: INT2映射到P0.6 100: INT2映射到P2.0 101: INT2映射到P2.7 110: INT2映射到P3.0 111: INT2映射到P3.2 (默认)

注意: INTCR需在中断使能前配置。



9.5 模/数转换器 (ADC)

9.5.1 特性

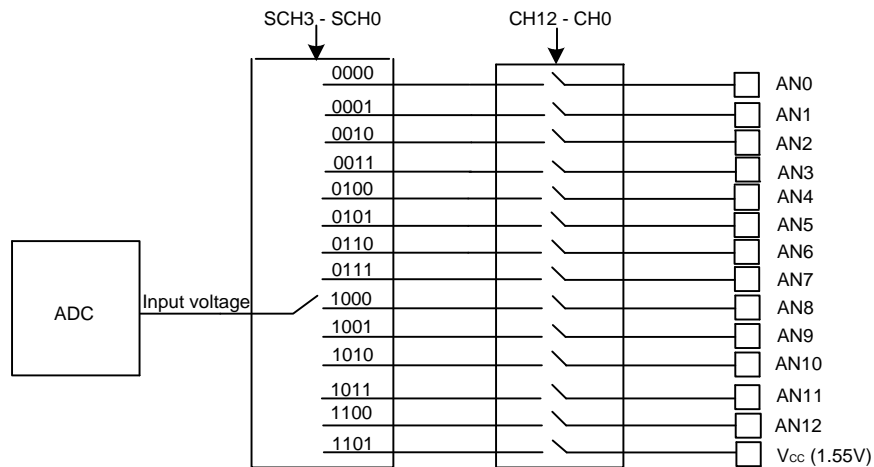
- 12位分辨率
- 参考电压 V_{DD}
- 14通道模拟输入

SH79F9271包含一个单端型、12位逐次逼近型模/数转换器(ADC)。ADC内建的基准电压 V_{REF} 直接与 V_{DD} 相连。14个ADC通道都可以输入独立的模拟信号,但是每次只能使用一个通道。 GO/\overline{DONE} 信号控制开始转换,提示转换结束。当转换完成时,更新ADC数据寄存器,设置ADCON寄存器中的ADCIF位,并产生一个中断(如果ADC中断被允许)。

ADC模块能在Idle模式下工作,并且ADC中断能够唤醒Idle模式。但是,在掉电模式下,ADC模块被禁止。

ADC模块不能工作在内部128KHz RC振荡器时钟。

9.5.2 ADC模块图



AD转换器模块图



9.5.3 寄存器

Table 9.21 ADC控制寄存器

91H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ADCON	ADON	ADCIF	-	SCH3	SCH2	SCH1	SCH0	GO/DONE
读/写	读/写	读/写	-	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	-	0	0	0	0	0

位编号	位符号	说明
7	ADON	ADC控制位 0: 关闭ADC模块 1: 打开ADC模块
6	ADCIF	ADC标志中断标志 0: 无ADC中断, 由软件清0 1: 由硬件置1, 表示已完成AD转换
4-1	SCH[3:0]	ADC通道选择位 0000: ADC通道AN0 0001: ADC通道AN1 0010: ADC通道AN2 0011: ADC通道AN3 0100: ADC通道AN4 0101: ADC通道AN5 0110: ADC通道AN6 0111: ADC通道AN7 1000: ADC通道AN8 1001: ADC通道AN9 1010: ADC通道AN10 1011: ADC通道AN11 1100: ADC通道AN12 1101: V _{CC} (1.55V) 其他: V _{CC} (1.55V)
0	GO/DONE	ADC状态标志位 0: 当完成AD转换时, 该位由硬件自动清0。如果在转换期间, 软件清0无效, 不能清除该标志位。 1: 设置开始AD转换



Table 9.22 ADC定时控制寄存器1

92H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ADT1	-	-	*	*	*	TADC2	TADC1	TADC0
读/写	-	-	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	0	0	0	0	0	0

位编号	位符号	说明
5-3	*	此处不能设置为1
2-0	TADC[2:0]	ADC采样转换时间参数控制位Na 000: $1 \times T_{sys}$ 001: $2 \times T_{sys}$ 010: $3 \times T_{sys}$ 011: $4 \times T_{sys}$ 100: $5 \times T_{sys}$ 101: $6 \times T_{sys}$ 110: $7 \times T_{sys}$ 111: $8 \times T_{sys}$ Na的推荐配置请查看注(2)

Table 9.23 ADC定时控制寄存器2

97H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ADT2	-	-	-	-	TS3	TS2	TS1	TS0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0

位编号	位符号	说明
3-0	TS[3:0]	采样时间选择位 $16 \times Na \leq \text{采样时间} = (TS[3:0]+2) \times 8 \times Na \leq 136 \times Na$

注意:

(1) Na 为 ADC 采样转换时间参数，由 TADC[2:0]位控制， $Na = (TADC[2:0] + 1) \times T_{sys}$ 。

(2) ADC 转换时间 = $12 \times T_{sys} + 58 \times Na$;

Na 在不同时钟下，要求 Na 最小设置值如下表所示：（推荐：按最小值配置即可）

ADC时钟	24M	16M	12M	8M
Na最小设置值(即推荐值)	$6 \times T_{sys}$	$4 \times T_{sys}$	$3 \times T_{sys}$	$2 \times T_{sys}$

(3) 即使 $TS[3:0] = 0000$ ，最小采样时间为 $16 \times Na$;

(4) 即使 $TS[3:0] = 1111$ ，最大采样时间为 $136 \times Na$;

(5) 全部转换时间 = $12 \times T_{sys} + 58 \times Na + \text{采样时间}$ 。

(6) 为了保证 Touch Key 和 ADC 的稳定性，ADC 采样频率需要保证在 300 次/100ms 以内。如果没有 Touch Key 应用，ADC 的采样频率不受限制。



Table 9.24 ADC通道设置寄存器

93H, 94H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ADC1H (93H)	CH7	CH6	CH5	CH4	CH3	CH2	CH1	CH0
ADC2H (94H)	-	-	-	CH12	CH11	CH10	CH9	CH8
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
ADC1H: 7-0 ADC2H: 4-0	CH[12:0]	信道配置位 0: P3.4, P0.4-P0.6, P2.1-P2.7, P3.3, P3.6作为I/O端口 1: P3.4, P0.4-P0.6, P2.1-P2.7, P3.3, P3.6为ADC输入口

Table 9.25 AD转换数据寄存器

95H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ADDL	-	-	-	-	A3	A2	A1	A0
读	-	-	-	-	读	读	读	读
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0
96H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
ADDH	A11	A10	A9	A8	A7	A6	A5	A4
读	读	读	读	读	读	读	读	读
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
3-0 7-0	A11-A0	ADC数据寄存器 采样模拟电压的数字值。当完成转换后，这个值会更新。

启动ADC转换步骤:

- (1) 选择模拟输入通道
- (2) 使能ADC模块
- (3) 通过寄存器ADT1和ADT2设置采样时间和转换时间
- (4) GO/DONE置1开始ADC转换
- (5) 等待GO/DONE = 0或者ADCIF = 1，如果ADC中断使能，则ADC中断将会产生，用户需要软件清0 ADCIF
- (6) 从ADDH/ADDL获得转换数据
- (7) 重复步骤4-6开始另一次转换



9.6 低电压检测（LPD）

9.6.1 特性

- 低电压检测并产生中断
- 可选的 LPD 检测电压
- LPD 检测含双向去抖功能

低电压检测（LPD）功能用来监测电源电压，如果电压低于指定值时产生内部标志。LPD功能用来通知CPU电源是否被切断或电池是否用尽，因此在电压低于最小工作电压之前，软件可以采取一些保护措施。

LPD中断可以唤醒Power-down模式。

9.6.2 寄存器

Table 9.26 低电压检测控制寄存器

B3H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
LPDCON	LPDEN	LPDF	LPDV	LPDIF	LPDMD	-	-	-
读/写	读/写	读*	读/写	读/写	读/写	-	-	-
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	-	-	-

位编号	位符号	说明
7	LPDEN	LPD允许位 0: 禁止低电压检测 1: 允许低电压检测
6	LPDF	LPD标志位 0: 无LPD发生，由硬件清0 1: LPD发生，由硬件置1，即当前电压高于/低于在LPDS[2:0]中设置的LPD电压或VIN口电压
5	LPDV	LPD检测电压源 0: 检测电源电压 1: 检测 VLPD 引脚（VIN口）电压
4	LPDIF	LPD中断请求标志 0: 无中断挂起读/写 1: 中断挂起
3	LPDMD	LPD模式选择控制位 0: 当VDD电压小于设定的LPD检测电压时或VIN口低于1.20V时，LPDIF标志置1 1: 当VDD电压大于设定的LPD检测电压时或VIN口高于1.20V时，LPDIF标志置1

注意：如果 LPDCON 的 LPDV 位设置为 1，则 LPD 的检测电压比较值为 1.2V，与 LPDS[3:0]设置的档位无关。



Table 9.27 低电压检测档位选择寄存器

BBH, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
LPDSEL	-	-	-	-	LPDS3	LPDS2	LPDS1	LPDS0
读/写	-	-	-	-	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	-	-	-	-	0	0	0	0

位编号	位符号	说明
2-0	LPDS[3:0]	0011: 2.85V 0100: 3.00V 0101: 3.15V 0110: 3.30V 0111: 3.45V 1000: 3.60V 1001: 3.75V 1010: 3.90V 1011: 4.05V 1100: 4.20V 1101: 4.35V 1110: 4.50V 1111: 4.65V 其它: 2.85V

为确保顺利开启LPD中断及切换LPD检测档位，用户软件必须按以下步骤设置：

LPD中断开启步骤：

- (1) 使能LPD模块（LPDEN = 1）；
- (2) 设置LPD检测档位寄存器LPDSEL；
- (3) 等待20us；
- (4) 清零LPD中断请求标志位LPDIF；
- (5) 置位LPD中断允许位ELPD及总中断允许位EA。

切换 LPD 检测档位步骤：

- (1) 清零LPD中断允许位ELPD；
- (2) 关闭LPD使能
- (3) 关闭LPDV使能（或者开启LPDV使能）
- (4) 重新设置LPDS[3:0]寄存器值；
- (5) 开启LPD使能
- (6) 等待2us；
- (7) 清零LPD中断请求标志位LPDIF；
- (8) 置位LPD中断允许位ELPD。

注：如需从检测内部电压切换到检测VLPD电压，若此时VLPD电压已接近1.2V，步骤(6)中需要等待约10us（保证外部电压内阻 < 1KΩ）。



9.7 低电压复位 (LVR)

9.7.1 特性

- 通过代码选项选择, LVR 设定电压 V_{LVR} 可为 3.1V、3.7V 或 4.1V
- LVR 去抖动时间 T_{LVR} 为 30-60 μ s
- 当供电电压低于设定电压 V_{LVR} 时, 将产生内部复位

低电压复位 (LVR) 功能是为了监测供电电压, 当供电电压低于设定电压 V_{LVR} 时, MCU 将产生内部复位。LVR 去抖动时间 T_{LVR} 大约为 30 μ s-60 μ s。

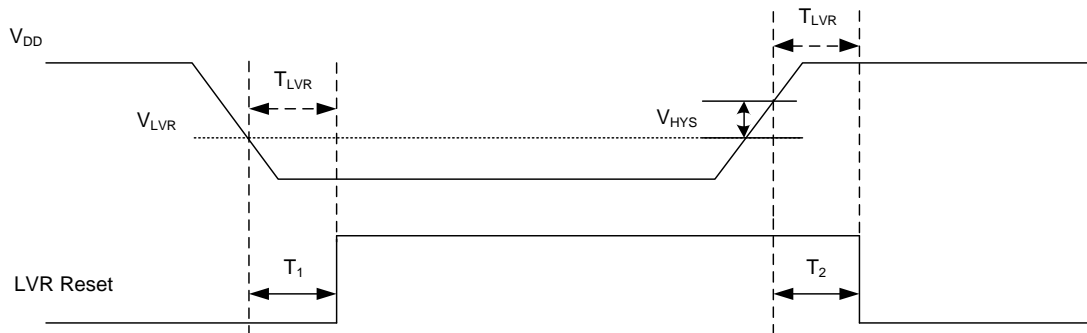
LVR 功能打开后, 具有以下特性 (t 表示电压低于设定电压 V_{LVR} 的时间):

当 $V_{DD} \leq V_{LVR}$ 且 $t \geq T_{LVR}$ 时产生系统复位。

当 $V_{DD} > V_{LVR}$ 或 $V_{DD} < V_{LVR}$, 但 $t < T_{LVR}$ 时不会产生系统复位。

通过代码选项, 可以选择 LVR 功能的打开与关闭。

在交流电或大容量电池应用中, 接通大负载后容易导致 MCU 供电暂时低于定义的工作电压。低电压复位可以应用于此, 保护系统在低于设定电压下产生有效复位。



上图中, V_{DD} 为电源电压, V_{LVR} 为 LVR 检测电压, V_{HYS} 为低电压复位迟滞电压。

通过代码选项, 可以选择 LVR 功能的打开与关闭。

在交流电或大容量电池应用中, 接通大负载后容易导致 MCU 供电暂时低于定义的工作电压。低电压复位可以应用于此, 保护系统在低于设定电压下产生有效复位。



9.8 看门狗定时器（WDT），程序超范围溢出（OVL）复位及其它复位状态

9.8.1 特性

- 看门狗可以工作在掉电模式下
- 程序超范围溢出后硬件自动检测，并产生 OVL 复位
- 看门狗溢出频率可选

程序超范围溢出复位

SH79F9271为进一步增强CPU运行可靠性，内建程序超范围溢出检测电路，一旦检测到程序计数器的值超出ROM最大值，或者发现指令操作码（不检测操作数）为8051指令集中不存在的A5H，便认为程序跑飞，产生CPU复位信号，同时将WDOF标志位置1。为应用这个特性，用户应该将未使用的Flash ROM用0xA5填满。

看门狗

看门狗定时器（WDT）是一个递减计数器，独立内建RC振荡器作为时钟源，因此可以通过代码选项在掉电模式下仍会持续运行。当定时器溢出时，将芯片复位。通过代码选项OP_WDTPD可以打开或关闭该功能。

WDT控制位（第2-0位）用来选择不同的溢出时间。定时器溢出后，WDT溢出标志（WDOF）将由硬件自动置1。通过读写RSTSTAT寄存器，看门狗定时器在溢出前重新开始计数。其它一些复位标志列举如下：

9.8.2 寄存器

Table 9.28 复位状态寄存器

B1H, Bank0	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
RSTSTAT	WDOF	-	PORF	LVRF	CLRF	WDT.2	WDT.1	WDT.0
读/写	读/写	-	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR)	0	-	1	0	0	0	0	0
复位值 (WDT)	1	-	u	u	u	0	0	0
复位值 (LVR)	u	-	u	1	u	0	0	0
复位值 (PIN)	u	-	u	u	1	0	0	0

位编号	位符号	说明
7	WDOF	看门狗溢出或程序超范围溢出标志位 看门狗溢出时由硬件置1，可由软件或上电复位清0 0：未发生WDT溢出或程序超范围溢出 1：发生WDT溢出或程序超范围溢出
5	PORF	上电复位标志位 上电复位后硬件置1，只能由软件清0 0：没有发生上电复位 1：发生过上电复位
4	LVRF	低压复位标志位 低压复位后置1，可由软件或上电复位清0 0：没有发生低压复位 1：发生过低压复位
3	CLRF	Reset引脚复位标志位 引脚复位后置1，可由软件或上电复位清0 0：没有发生引脚复位 1：发生过引脚复位
2-0	WDT[2:0]	WDT溢出周期控制位 000 - 001：溢出周期最小值 = 1024ms 010：溢出周期最小值 = 256ms 011：溢出周期最小值 = 128ms 100：溢出周期最小值 = 64ms 101：溢出周期最小值 = 16ms 110：溢出周期最小值 = 4ms 111：溢出周期最小值 = 1ms 注意： 应用中如果看门狗打开，程序清看门狗的最大间隔时间不能大于以上所列最小值



9.9 电源管理

9.9.1 特性

- 空闲模式和掉电模式两种省电模式
- 发生中断和复位可退出空闲（Idle）、掉电（Power-Down）模式

为减少功耗，SH79F9271提供两种低功耗省电模式：空闲（Idle）模式和掉电（Power-Down）模式，这两种模式都由PCON和SUSLO两个寄存器控制。

9.9.2 空闲模式（Idle）

空闲模式能够降低系统功耗，在此模式下，程序中止运行，CPU时钟停止，但外部设备时钟继续运行。空闲模式下，CPU在确定的状态下停止，并在进入空闲模式前所有CPU的状态都被保存，如PC，PSW，SFR，RAM等。

两条连续指令：先设置SUSLO寄存器为0x55，随即将PCON寄存器中的IDL位置1，使SH79F9271进入空闲模式。如果不满足上述的两条连续指令，CPU在下一个机器周期清0 SUSLO寄存器或IDL位，CPU也不会进入空闲模式。

IDL位置1是CPU进入空闲模式之前执行的最后一条指令。

两种方式可以退出空闲模式：

(1) 中断产生。恢复CPU时钟，硬件清除SUSLO寄存器和PCON寄存器的IDL位。然后执行中断服务程序，随后跳转到进入空闲模式指令之后的指令。

(2) 复位信号产生后（复位引脚上出现低电平，WDT复位，LVR复位）。CPU恢复时钟，SUSLO寄存器和在PCON寄存器中的IDL位被硬件清0，最后SH79F9271复位，程序从地址位0000H开始执行。此时，RAM保持不变而SFR的值根据不同功能模块改变。

9.9.3 掉电模式（Power-Down）

掉电模式可以使SH79F9271进入功耗非常低的状态。掉电模式将停止CPU和外围设备的所有时钟信号。若系统时钟取128kHzRC时，掉电模式将停止CPU和外围设备的所有时钟信号；如果24MRC振荡器被用作系统时钟，当进入掉电模式时，用于定时器3的128kHzRC时钟打开。在掉电模式下，如果通过代码选项使能WDT，WDT模块将继续工作。在进入掉电模式前所有CPU的状态都被保存，如PC，PSW，SFR，RAM等。

两条连续指令：先设置SUSLO寄存器为0x55，随即将PCON寄存器中的PD位置1，使SH79F9271进入掉电模式。如果不满足上述的两条连续指令CPU在下一个机器周期清除SUSLO寄存器或PD位，CPU也不会进入掉电模式。

PD位置1是CPU进入掉电模式之前执行的最后一条指令。

注意：如果同时设置IDL位和PD位，SH79F9271进入掉电模式。退出掉电模式后，CPU也不会掉电进入空闲模式，从掉电模式退出后硬件清0 IDL及PD位。

有三种方式可以退出掉电模式：

(1) 有效外部中断（如INT2，INT3和INT4）和LPD中断使SH79F9271退出掉电模式。在中断发生后振荡器启动，在预热计时结束之后CPU时钟和外部设备时钟恢复，SUSLO寄存器和PCON寄存器中的PD位会被硬件清除，然后继续运行中断服务程序。在完成中断服务程序之后，跳转到进入掉电模式之后的指令继续运行。

(2) 当128kHzRC作为定时器3的时钟源时，定时器3中断可使SH79F9271退出掉电模式。在预热计时后会恢复CPU时钟及外部设备，SUSLO寄存器和PCON寄存器中的PD位将由硬件清0。然后继续运行中断服务程序。当完成中断服务子程序后，跳转到进入掉电模式之后的指令继续运行。

(3) 复位信号（复位引脚上出现低电平，WDT复位如果被允许，LVR复位如果被允许）。在预热计时之后会恢复CPU时钟，SUSLO寄存器和PCON寄存器中的PD位会被硬件清除，最后SH79F9271会被复位，程序会从0000H地址位开始运行。RAM将保持不变，而根据不同功能模块SFR的值可能改变。

注意：如要进入这两种低功耗模式，必须在置位PCON中的IDL/PD位后增加3个空操作指令（NOP）。



9.9.4 寄存器

Table 9.29 电源控制寄存器

87H	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
PCON	SMOD	SSTAT	*	*	GF1	GF0	PD	IDL
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	SMOD	UART波特率加倍器
6	SSTAT	SCON[7:5]功能选择位
3-2	GF[1:0]	用于软件的通用标志
1	PD	掉电模式控制位 0: 当一个中断或复位产生时由硬件清0 1: 由软件置1激活掉电模式
0	IDL	空闲模式控制位 0: 当一个中断或复位产生时由硬件清0 1: 由软件置1激活空闲模式

Table 9.30 省电模式控制寄存器

8EH	第7位	第6位	第5位	第4位	第3位	第2位	第1位	第0位
SUSLO	SUSLO.7	SUSLO.6	SUSLO.5	SUSLO.4	SUSLO.3	SUSLO.2	SUSLO.1	SUSLO.0
读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写	读/写
复位值 (POR/WDT/LVR/PIN)	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	SUSLO[7:0]	此寄存器用来控制CPU进入省电模式（空闲或掉电）。只有像下面的连续指令才能使CPU进入省电模式，否则在下个周期中SUSLO，IDL或PD位将被硬件清0。

程序举例:

```
IDLE_MODE:
    MOV     SUSLO, #55H
    ORL     PCON, #01H
    NOP
    NOP
    NOP

POWERDOWN_MODE:
    MOV     SUSLO, #55H
    ORL     PCON, #02H
    NOP
    NOP
    NOP
```

**9.10 预热计数器****9.10.1 特性**

- 内建电源预热计数器消除电源的上电的不稳定状态
- 内建振荡器预热计数器消除振荡器起振时的不稳定状态

SH79F9271内建有电源上电预热计数器，主要是用来消除上电电压建立时的不稳定态，同时完成内部一些初始化序列，如读取内部客户代码选项等。

SH79F9271内建振荡器预热计数器，它能消除振荡器在下列情况下起振时的不稳定状态：上电复位，引脚复位，从低功耗模式中唤醒，看门狗复位和LVR复位。

上电后，SH79F9271会先经过电源上电预热计数过程，等待溢出后再进行振荡器的预热计数过程过程，溢出后开始运行程序。

电源上电预热计数时间

上电复位		引脚复位/低电压复位		掉电模式下中断唤醒	
电源上电 预热计数时间	振荡器上电 预热计数时间	电源上电 预热计数时间	振荡器上电 预热计数时间	电源上电 预热计数时间	振荡器上电 预热计数时间
≈15ms	有	≈13ms	有	≈600us	有

看门狗复位 (不包含掉电模式)		看门狗复位 (唤醒掉电模式)	
电源上电 预热计数时间	振荡器上电 预热计数时间	电源上电 预热计数时间	振荡器上电 预热计数时间
≈9ms	无	≈9ms	有

振荡器上电预热计数时间

振荡器类型	电源上电预热计数时间
内部高频RC	$2^7 \times T_{osc}$ (WDT唤醒Stop)
	$2^{11} \times T_{osc}$ (上电复位/看门狗复位/引脚复位/低电压复位/中断唤醒PD)
内部低频RC	$2^7 \times T_{osc}$ (上电复位/看门狗复位/引脚复位/低电压复位/中断唤醒PD)

**9.11 代码选项****OP_WDT:**

- 10100101: 禁止看门狗复位
- 其它: 允许看门狗复位 (默认)

OP_WDTPD:

- 0: 掉电模式下禁止看门狗工作 (默认)
- 1: 掉电模式下允许看门狗工作

OP_LVREN:

- 0: 禁止低电压复位功能 (默认)
- 1: 允许低电压复位功能

OP_LVRLE:

- 00: 低电压复位设定电压为4.1V (默认)
- 01: 低电压复位设定电压为3.7V
- 10: 低电压复位设定电压为3.1V

OP_RST:

- 0: P2.7作为允许引脚复位 (默认)
- 1: P2.7作为普通IO

OP_OSC:

- 0000: 内部高频振荡器作为振荡器1, 振荡器2关闭 (默认)
- 0011: 内部低频振荡器128KHz作为振荡器1, 内部高频振荡器作为振荡器2

OP_RC_SEL:

- 0: 内部高频RC输出频率24MHz (默认)
- 1: 内部高频RC输出频率16MHz

OP_IO:

- 0: P0.7, P1.0-P1.2, P2.7, P3.0-P3.1 sink电流能力保持不变 (默认)
- 1: P0.7, P1.0-P1.2, P2.7, P3.0-P3.1 sink电流能力加大

OP_P04-P01:

- 0: Port0[4:1]的sink电流能力保持不变 (默认)
- 1: Port0[4:1]的sink电流能力加大

OP_EEPROMSIZE:

- 0000: 8 X 512Bytes (默认)
- 0001: 7 X 512Bytes
- 0010: 6 X 512Bytes
- 0011: 5 X 512Bytes
- 0100: 4 X 512Bytes
- 0101: 3 X 512Bytes
- 0110: 2 X 512Bytes
- 0111: 1 X 512Bytes
- 1000: 0 Bytes
- 其余: 0 Bytes



10. 指令集

算术操作指令				
指令	功能描述	代码	字节	周期
ADD A, Rn	累加器加寄存器	0x28-0x2F	1	1
ADD A, direct	累加器加直接寻址字节	0x25	2	2
ADD A, @Ri	累加器加内部RAM	0x26-0x27	1	2
ADD A, #data	累加器加立即数	0x24	2	2
ADDC A, Rn	累加器加寄存器和进位位	0x38-0x3F	1	1
ADDC A, direct	累加器加直接寻址字节和进位位	0x35	2	2
ADDC A, @Ri	累加器加内部RAM和进位位	0x36-0x37	1	2
ADDC A, #data	累加器加立即数和进位位	0x34	2	2
SUBB A, Rn	累加器减寄存器和借位位	0x98-0x9F	1	1
SUBB A, direct	累加器减直接寻址字节和借位位	0x95	2	2
SUBB A, @Ri	累加器减内部RAM和借位位	0x96-0x97	1	2
SUBB A, #data	累加器减立即数和借位位	0x94	2	2
INC A	累加器加1	0x04	1	1
INC Rn	寄存器加1	0x08-0x0F	1	2
INC direct	直接寻址字节加1	0x05	2	3
INC @Ri	内部RAM加1	0x06-0x07	1	3
DEC A	累加器减1	0x14	1	1
DEC Rn	寄存器减1	0x18-0x1F	1	2
DEC direct	直接寻址字节减1	0x15	2	3
DEC @Ri	内部RAM减1	0x16-0x17	1	3
INC DPTR	数据指针加1	0xA3	1	4
MUL AB 8 X 8 16 X 8	累加器乘寄存器B	0xA4	1	11 20
DIV AB 8 / 8 16 / 8	累加器除以寄存器B	0x84	1	11 20
DA A	十进制调整	0xD4	1	1



逻辑操作指令				
指令	功能描述	代码	字节	周期
ANL A, Rn	累加器与寄存器	0x58-0x5F	1	1
ANL A, direct	累加器与直接寻址字节	0x55	2	2
ANL A, @Ri	累加器与内部RAM	0x56-0x57	1	2
ANL A, #data	累加器与立即数	0x54	2	2
ANL direct, A	直接寻址字节与累加器	0x52	2	3
ANL direct, #data	直接寻址字节与立即数	0x53	3	3
ORL A, Rn	累加器或寄存器	0x48-0x4F	1	1
ORL A, direct	累加器或直接寻址字节	0x45	2	2
ORL A, @Ri	累加器或内部RAM	0x46-0x47	1	2
ORL A, #data	累加器或立即数	0x44	2	2
ORL direct, A	直接寻址字节或累加器	0x42	2	3
ORL direct, #data	直接寻址字节或立即数	0x43	3	3
XRL A, Rn	累加器异或寄存器	0x68-0x6F	1	1
XRL A, direct	累加器异或直接寻址字节	0x65	2	2
XRL A, @Ri	累加器异或内部RAM	0x66-0x67	1	2
XRL A, #data	累加器异或立即数	0x64	2	2
XRL direct, A	直接寻址字节异或累加器	0x62	2	3
XRL direct, #data	直接寻址字节异或立即数	0x63	3	3
CLR A	累加器清零	0xE4	1	1
CPL A	累加器取反	0xF4	1	1
RL A	累加器左环移位	0x23	1	1
RLC A	累加器连进位标志左环移位	0x33	1	1
RR A	累加器右环移位	0x03	1	1
RRC A	累加器连进位标志右环移位	0x13	1	1
SWAP A	累加器高4位与低4位交换	0xC4	1	4



数据传送指令

指令	功能描述	代码	字节	周期
MOV A, Rn	寄存器送累加器	0xE8-0xEF	1	1
MOV A, direct	直接寻址字节送累加器	0xE5	2	2
MOV A, @Ri	内部RAM送累加器	0xE6-0xE7	1	2
MOV A, #data	立即数送累加器	0x74	2	2
MOV Rn, A	累加器送寄存器	0xF8-0xFF	1	2
MOV Rn, direct	直接寻址字节送寄存器	0xA8-0xAF	2	3
MOV Rn, #data	立即数送寄存器	0x78-0x7F	2	2
MOV direct, A	累加器送直接寻址字节	0xF5	2	2
MOV direct, Rn	寄存器送直接寻址字节	0x88-0x8F	2	2
MOV direct1, direct2	直接寻址字节送直接寻址字节	0x85	3	3
MOV direct, @Ri	内部RAM送直接寻址字节	0x86-0x87	2	3
MOV direct, #data	立即数送直接寻址字节	0x75	3	3
MOV @Ri, A	累加器送内部RAM	0xF6-0xF7	1	2
MOV @Ri, direct	直接寻址字节送内部RAM	0xA6-0xA7	2	3
MOV @Ri, #data	立即数送内部RAM	0x76-0x77	2	2
MOV DPTR, #data16	16位立即数送数据指针	0x90	3	3
MOVC A, @A+DPTR	程序代码送累加器（相对数据指针）	0x93	1	7
MOVC A, @A+PC	程序代码送累加器（相对程序计数器）	0x83	1	8
MOVX A, @Ri	外部RAM送累加器（8位地址）	0xE2-0xE3	1	5
MOVX A, @DPTR	外部RAM送累加器（16位地址）	0xE0	1	6
MOVX @Ri, A	累加器送外部RAM（8位地址）	0xF2-F3	1	4
MOVX @DPTR, A	累加器送外部RAM（16位地址）	0xF0	1	5
PUSH direct	直接寻址字节压入栈顶	0xC0	2	5
POP direct	栈顶弹至直接寻址字节	0xD0	2	4
XCH A, Rn	累加器与寄存器交换	0xC8-0xCF	1	3
XCH A, direct	累加器与直接寻址字节交换	0xC5	2	4
XCH A, @Ri	累加器与内部RAM交换	0xC6-0xC7	1	4
XCHD A, @Ri	累加器低4位与内部RAM低4位交换	0xD6-0xD7	1	4



控制程序转移指令

指令	功能描述	代码	字节	周期
ACALL addr11	2KB内绝对调用	0x11-0xF1	2	7
LCALL addr16	64KB内长调用	0x12	3	7
RET	子程序返回	0x22	1	8
RETI	中断返回	0x32	1	8
AJMP addr11	2KB内绝对转移	0x01-0xE1	2	4
LJMP addr16	64KB内长转移	0x02	3	5
SJMP rel	相对短转移	0x80	2	4
JMP @A+DPTR	相对长转移	0x73	1	6
JZ rel (不发生转移) (发生转移)	累加器为零转移	0x60	2	3 5
JNZ rel (不发生转移) (发生转移)	累加器为非零转移	0x70	2	3 5
JC rel (不发生转移) (发生转移)	C置位转移	0x40	2	2 4
JNC rel (不发生转移) (发生转移)	C清零转移	0x50	2	2 4
JB bit, rel (不发生转移) (发生转移)	直接寻址位置位转移	0x20	3	4 6
JNB bit, rel (不发生转移) (发生转移)	直接寻址位清零转移	0x30	3	4 6
JBC bit, rel (不发生转移) (发生转移)	直接寻址位置位转移并清该位	0x10	3	4 6
CJNE A, direct, rel (不发生转移) (发生转移)	累加器与直接寻址字节不等转移	0xB5	3	4 6
CJNE A, #data, rel (不发生转移) (发生转移)	累加器与立即数不等转移	0xB4	3	4 6
CJNE Rn, #data, rel (不发生转移) (发生转移)	寄存器与立即数不等转移	0xB8-0xBF	3	4 6
CJNE @Ri, #data, rel (不发生转移) (发生转移)	内部RAM与立即数不等转移	0xB6-0xB7	3	4 6
DJNZ Rn, rel (不发生转移) (发生转移)	寄存器减1不为零转移	0xD8-0xDF	2	3 5
DJNZ direct, rel (不发生转移) (发生转移)	直接寻址字节减1不为零转移	0xD5	3	4 6
NOP	空操作	0	1	1



位操作指令				
指令	功能描述	代码	字节	周期
CLR C	C清零	0xC3	1	1
CLR bit	直接寻址位清零	0xC2	2	3
SETB C	C置位	0xD3	1	1
SETB bit	直接寻址位置位	0xD2	2	3
CPL C	C取反	0xB3	1	1
CPL bit	直接寻址位取反	0xB2	2	3
ANL C, bit	C逻辑与直接寻址位	0x82	2	2
ANL C, /bit	C逻辑与直接寻址位的反	0xB0	2	2
ORL C, bit	C逻辑或直接寻址位	0x72	2	2
ORL C, /bit	C逻辑或直接寻址位的反	0xA0	2	2
MOV C, bit	直接寻址位送C	0xA2	2	2
MOV bit, C	C送直接寻址位	0x92	2	3



11. 电气特性

极限参数*

直流供电电压..... -0.3V to +6.0V
 输入/输出电压..... GND-0.3V to V_{DD}+0.3V
 工作环境温度..... -40°C to +105°C
 存储温度..... -55°C to +125°C
 Flash存储器写/擦除操作..... -40°C to +105°C

*注释

如果器件的工作条件超过左列“**极限参数**”的范围，将造成器件永久性破坏。只有当器件工作在说明书所规定的范围内时功能才能得到保障。器件在极限参数列举的条件下工作将会影响到器件工作的可靠性。

直流电气特性1 (V_{DD} = 2.7V - 5.5V, GND = 0V, T_A = +25°C, 除非另有说明)

参数	符号	最小值	典型值*	最大值	单位	条件
工作电压	V _{DD}	2.7	5.0	5.5	V	128kHz ≤ f _{OSC} ≤ 24MHz
工作电流	I _{OP1}	-	5	10	mA	f _{OSC} = 24MHz, V _{DD} = 5.0V 所有输出引脚无负载（所有数字输入引脚不浮动）； CPU打开（执行NOP指令）；WDT打开，关闭其它所有功能
	I _{OP2}	-	25	45	μA	f _{OSC} = 128kHz, 高频振荡器关闭, V _{DD} = 5.0V 所有输出引脚无负载（所有数字输入引脚不浮动）； CPU打开（执行NOP指令）； LVR关闭, WDT关闭, 关闭其它所有功能
待机电流（空闲模式）	I _{SB1}	-	3	5	mA	f _{OSC} = 24MHz, V _{DD} = 5.0V, 所有输出引脚无负载CPU关闭（空闲模式）； 所有数字输入引脚不浮动 LVR打开, WDT关闭, 关闭其它所有功能
	I _{SB2}	-	15	30	μA	f _{OSC} = 128kHz, V _{DD} = 5.0V, 高频振荡器关闭 所有输出引脚无负载CPU关闭（空闲模式）； 所有数字输入引脚不浮动 LVR打开, WDT关闭, 关闭其它所有功能
待机电流（掉电模式）	I _{SB3}	-	9.3	20	μA	f _{OSC} = 128kHz, 高频振荡器关闭, V _{DD} = 5.0V 所有输出引脚无负载（所有数字输入引脚不浮动）； CPU关闭（掉电模式）； WDT关闭, LVR打开, 关闭其它所有功能
WDT电流	I _{WDT}	-	1	3	μA	所有输出引脚无负载, V _{DD} = 5.0V, WDT打开
LPD电流	I _{LPD}	-	-	1	μA	V _{DD} = 2.7 - 5.5V
输入低电压1	V _{IL1}	GND	-	0.2 X V _{DD}	V	I/O端口, $\overline{\text{RST}}$, T3, T4, INT2/3/4, RXD0, RXD1, V _{DD} = 2.7 - 5.5V, UART TTL功能关闭
输入高电压1	V _{IH1}	0.8 X V _{DD}	-	V _{DD}	V	I/O端口, $\overline{\text{RST}}$, T3, T4, INT2/3/4, RXD0, RXD1, V _{DD} = 2.7 - 5.5V, UART TTL功能关闭



续上表

输入低电压2	V_{IL2}	GND	-	0.8	V	8个I/O端口选择TTL输入 (Note 2) $V_{DD} = 4.5 - 5.5V$
		GND	-	$0.15 \times V_{DD}$	V	8个I/O端口选择TTL输入 (Note 2) $V_{DD} = 2.7 - 4.5V$
输入高电压2	V_{IH2}	2.0	-	V_{DD}	V	8个I/O端口选择TTL输入 (Note 2) $V_{DD} = 4.5 - 5.5V$
		$0.25 \times V_{DD} + 0.8$	-	V_{DD}	V	8个I/O端口选择TTL输入 (Note 2) $V_{DD} = 2.7 - 4.5V$
输入漏电流	I_{IL}	-1	-	1	μA	输入口, $V_{IN} = V_{DD}$ 或者GND
输出漏电流	I_{OL}	-1	-	1	μA	开漏输出, $V_{DD} = 5.0V$ $V_{OUT} = V_{DD}$ 或者GND
复位引脚上拉电阻	R_{RPH}	-	30	-	$k\Omega$	$V_{DD} = 5.0V$, $V_{IN} = GND$
上拉电阻	R_{PH}	-	30	-	$k\Omega$	$V_{DD} = 5.0V$, $V_{IN} = GND$
IO口输出电流1	I_{OH1}	-10	-12	-	mA	I/O端口 (P0, P1, P2, P3), (需要OP_IO、OP_P04-P01 = 0), $V_{OH} = 4.3V$, $V_{DD} = 5.0V$
	$I_{OH1MAX}^{(3)}$	-	-	-20	mA	I/O端口 (P0, P1, P2, P3), (需要OP_IO、OP_P04-P01 = 0), $V_{DD} = 5.0V$, $T_A = +25^\circ C$
IO口灌电流1	I_{OL1}	12	15	-	mA	I/O端口 (P0, P1, P2, P3), (需要OP_IO、OP_P04-P01 = 0), $V_{OL} = 0.6V$, $V_{DD} = 5.0V$
	$I_{OL1MAX}^{(3)}$	-	-	25	mA	I/O端口 (P0, P1, P2, P3), (需要OP_IO、OP_P04-P01 = 0), $V_{DD} = 5.0V$, $T_A = 25^\circ C$
大驱动口灌电流能力	I_{OL2}	80	100	-	mA	$V_{DD} = 5.0V$, $V_{OL} = 0.7V$ (P0.1 - P0.4, P0.7, P1.0 - P1.2, P2.7, P3.0, P3.1需要OP_IO、OP_P04-P01选择sink电流加大)
	$I_{OL2MAX}^{(3)}$	-	-	200	mA	$V_{DD} = 5.0V$, $T_A = +25^\circ C$ (P0.1 - P0.4, P0.7, P1.0 - P1.2, P2.7, P3.0, P3.1需要OP_IO、OP_P04-P01选择sink电流加大)
VDD最大平均电流	I_{VDD1}	-	-	-200	mA	$V_{DD} = 5.0V$, $T_c = 25^\circ C$
GND最大平均电流	I_{VSS1}	-	-	200	mA	$V_{DD} = 5.0V$, $T_c = 25^\circ C$

注意:

- (1) “*”表示典型值下的数据是在5.0V, 25°C下测得的, 除非另有说明。
- (2) P0.5, P0.6, P0.7, P1.7, P2.7, P3.0-P3.2通过寄存器PIMS选择相应的输入模式。
- (3) 该项目只是设计保证, 量产不做测试。



模/数转换器电气特性 (V_{DD} = 2.7 - 5.5V, GND = 0V, T_A = +25°C, 除非另有说明)

参数	符号	最小值	典型值	最大值	单位	条件
工作电压范围	V _{AD}	2.7	5.0	5.5	V	
分辨率	N _R	-	12	-	bit	V _{REF} = 5.0V
A/D输入电压	V _{AIN}	GND	-	V _{REF}	V	
A/D输入电阻*	R _{AIN}	0.8	-	-	MΩ	V _{IN} = 5.0V
ADC内部基准源	V _{CC}	1.47	1.55	1.63	V	V _{DD} = 2.7V - 5.5V
模拟输入电压源推荐阻抗	Z _{AIN}	-	-	1	kΩ	V _{DD} = 3.0V - 5.5V, 切通道采样精度1LSB
A/D转换电流	I _{AD}	-	0.3	0.5	mA	ADC模块工作, V _{DD} = 5.0V
A/D输入电流	I _{ADIN}	-	-	1	μA	V _{DD} = 5.0V
微分非线性误差	D _{LE}	-	-	±2	LSB	V _{DD} = 5.0V, V _{REF} = 5.0V, ADC CLK ≤ 24MHz
积分非线性误差	I _{LE}	-	-	±3	LSB	V _{DD} = 5.0V, V _{REF} = 5.0V, ADC CLK ≤ 24MHz
满刻度误差	E _F	-	-	±4	LSB	V _{DD} = 5.0V, V _{REF} = 5.0V, ADC CLK ≤ 24MHz
偏移量误差	E _Z	-	-	-5~+1	LSB	V _{DD} = 5.0V, V _{REF} = 5.0V, ADC CLK ≤ 24MHz
总绝对误差	E _{AD}	-	-	±8	LSB	V _{DD} = 5.0V, V _{REF} = 5.0V, ADC CLK ≤ 24MHz
ADC采样转换时间参数	N _a	0.25	-	30	μs	V _{DD} = 3.0V - 5.5V
ADC采样时间	t _{SAMP}	4	-	-	μs	
总转换时间	T _{CON}	19	-	-	μs	

注意:

(1) “*”表示ADC输入电阻就是直流条件下ADC自身的输入电阻;

(2) V_{DD} = 3.0V - 5.5V ADC保证性能, V_{DD} = 2.7V - 3.0V降低转换速度保证性能。

交流电气特性 (V_{DD} = 2.7V - 5.5V, GND = 0V, T_A = +25°C, f_{OSC} = 24MHz, 除非另有说明。)

参数	符号	最小值	典型值	最大值	单位	条件
复位脉冲宽度	t _{RESET}	10	-	-	μs	
WDT RC频率	f _{WDT}	115.2	128	140.8	kHz	V _{DD} = 2.7 - 5.5V, T _A = -40°C至+105°C
频率稳定性 (RC)	Δ F /F	-	-	0.5	%	RC振荡器: F - 24MHz /24MHz (V _{DD} = 2.7 - 5.5V, T _A = +25°C)
		-	-	±1	%	RC振荡器: F - 24MHz /24MHz (V _{DD} = 2.7 - 5.5V, T _A = -40°C至+105°C)
		-	-	±3	%	RC振荡器: F - 128kHz /128kHz (V _{DD} = 2.7 - 5.5V, T _A = 25°C)
		-	-	±10	%	RC振荡器: F - 128kHz /128kHz (V _{DD} = 2.7 - 5.5V, T _A = -40°C至+105°C)



低电压复位电气特性 ($V_{DD} = 2.7V - 5.5V$, $GND = 0V$, $T_A = +25^{\circ}C$, 除非另有说明。)

参数	符号	最小值	典型值	最大值	单位	条件
LVR设定电压1	V_{LVR1}	3.95	4.1	4.25	V	LVR使能 $V_{DD} = 2.7V - 5.5V$
LVR设定电压2	V_{LVR2}	3.55	3.7	3.85	V	LVR使能 $V_{DD} = 2.7V - 5.5V$
LVR设定电压3	V_{LVR3}	3.0	3.1	3.2	V	LVR使能 $V_{DD} = 2.7V - 5.5V$
LVR电压检测迟滞窗口	V_{SMTLV}	-	50	-	mV	
LVR低电压复位宽度	T_{LVR}	-	60	-	μs	

上电复位电气特性 ($V_{DD} = 2.7 - 5.5V$, $GND = 0V$, $T_A = 25^{\circ}C$, 除非另有说明)

参数	符号	最小值	典型值	最大值	单位	条件
电源上电复位电压	V_{POR}	2.52	2.6	2.68	V	
电源电压上升斜率	$S_{VDD}^{(1)}$	0.005	-	1000	V/ms	LVR使能, $V_{DD} = 2.7V - 5.5V$

(1): 该项目只是设计保证, 量产不做全斜率范围测试

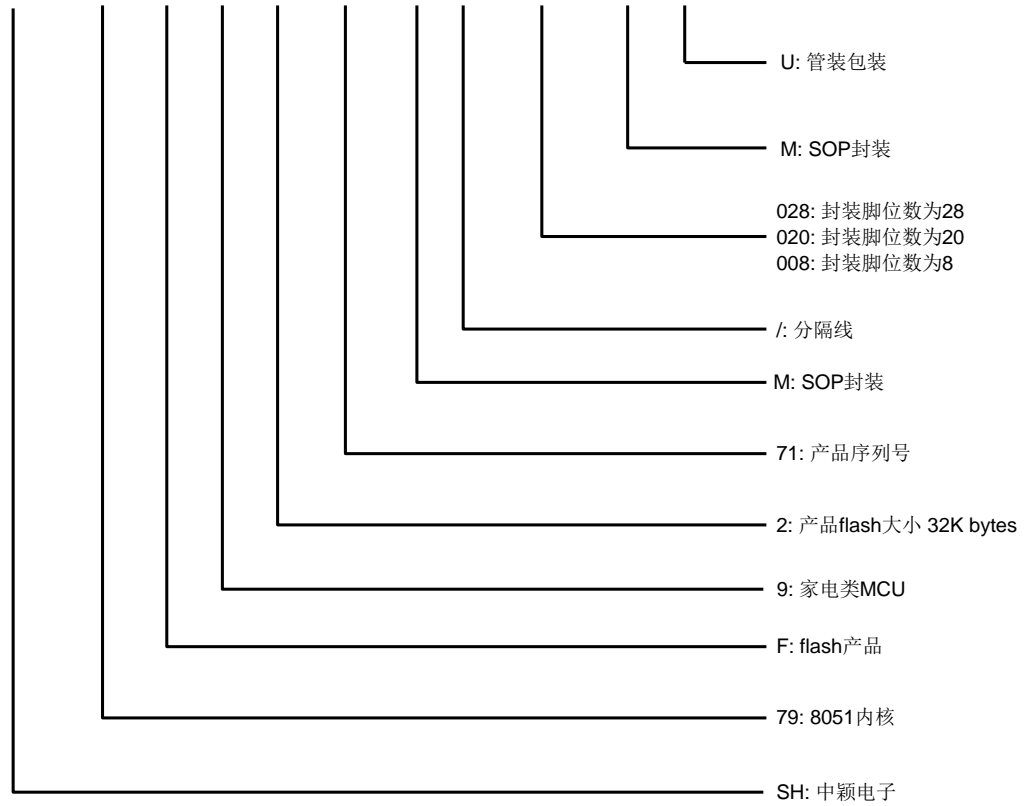
**12. 订购信息**

产品编号	封装
SH79F9271M/028MU	SOP28
SH79F9271M/020MU	SOP20
SH79F9271M/008MU	SOP8



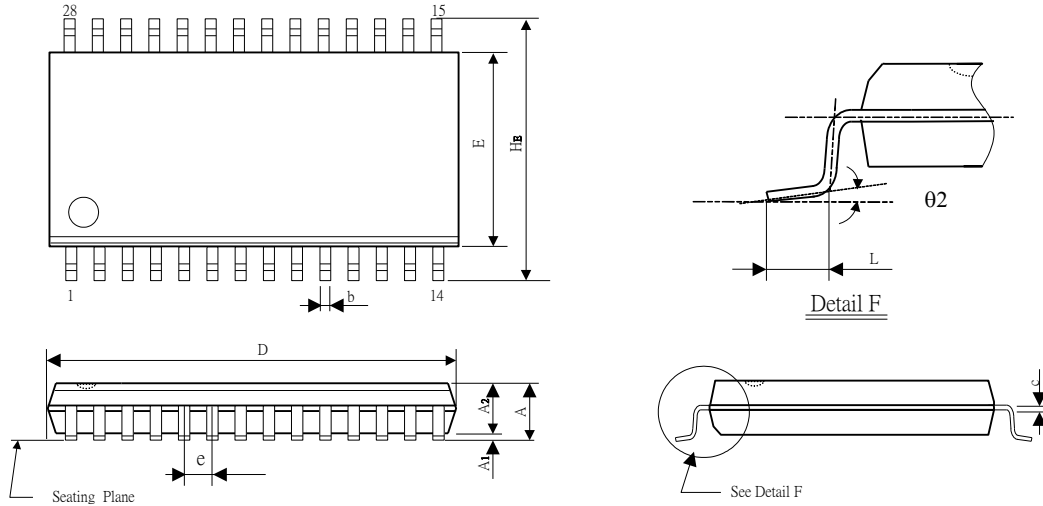
13. 产品命名规则

SH 79 F 9 2 71 M / 028 M U



**14. 封装信息****SOP 28L Outline Dimensions**

unit: inches/mm



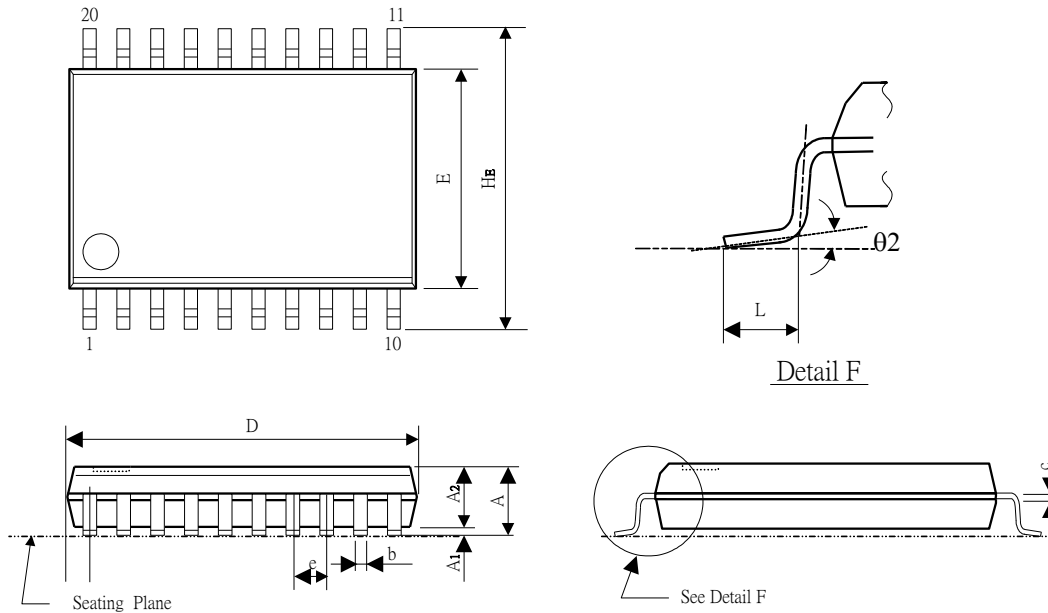
Symbol	Dimensions in inches		Dimensions in mm	
	Min	Max	Min	Max
A	0.085	0.104	2.15	2.65
A1	0.004	0.012	0.10	0.30
A2	0.081	0.098	2.05	2.50
b	0.013	0.02	0.33	0.51
c	0.006	0.014	0.15	0.36
D	0.697	0.715	17.70	18.15
E	0.287	0.303	7.30	7.70
e	0.050 (BSC)		1.27 (BSC)	
HE	0.398	0.418	10.10	10.61
L	0.016	0.05	0.40	1.27
θ2	0°	8°	0°	8°

注意:

- (1) 封装尺寸不包括模的毛边凸起或门毛刺。
- (2) 如无特殊规定，容差为±0.1毫米。
- (3) 共面性：0.1毫米。
- (4) 控制尺寸为毫米。

**SH79F9271****SOP 20L Outline Dimensions**

unit: inches/mm



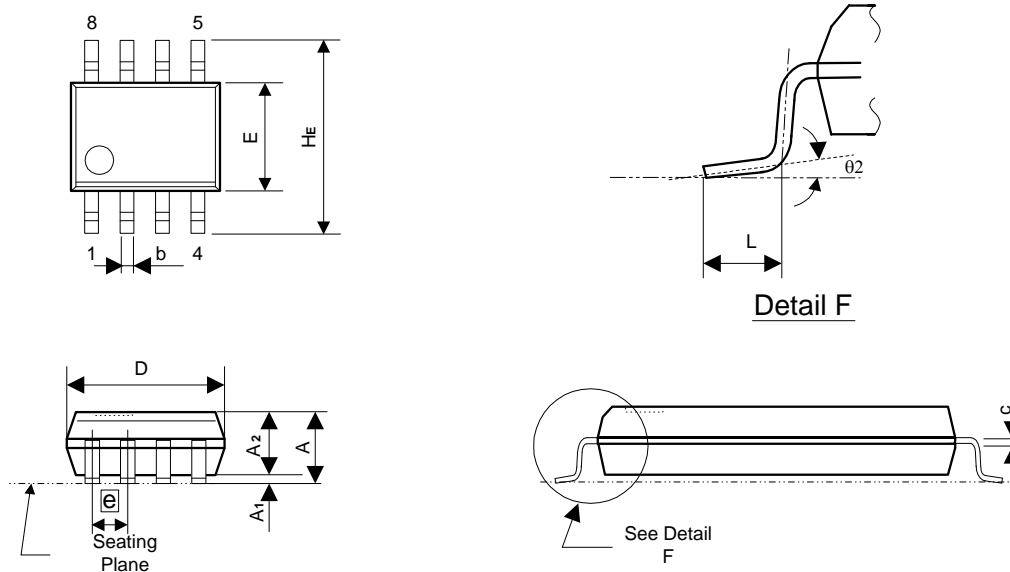
Symbol	Dimensions in inches		Dimensions in mm	
	Min	Max	Min	Max
A	0.093	0.104	2.35	2.65
A1	0.004	0.012	0.10	0.30
A2	0.083	0.098	2.10	2.50
b	0.013	0.020	0.33	0.51
c	0.008	0.013	0.20	0.33
D	0.493	0.516	12.52	13.10
E	0.291	0.299	7.40	7.60
e	0.050(BSC)		1.27(BSC)	
H _E	0.398	0.418	10.10	10.61
L	0.016	0.050	0.40	1.27
$\theta 2$	0°	8°	0°	8°

注意:

- (1) 封装尺寸不包括模的毛边凸起或门毛刺。
- (2) 如无特殊规定，容差为 ± 0.1 毫米。
- (3) 共面性：0.1毫米。
- (4) 控制尺寸为毫米。

**SOP 8L Outline Dimensions**

unit: inches/mm



Symbol	Dimensions in inches		Dimensions in mm	
	Min	Max	Min	Max
A	0.053	0.071	1.35	1.8
A1	0.004	0.010	0.1	0.25
A2	0.049	0.061	1.25	1.55
b	0.013	0.020	0.33	0.51
c	0.008	0.014	0.2	0.35
D	0.188	0.201	4.78	5.1
E	0.150	0.161	3.8	4.1
e	0.050(BSC)		1.27(BSC)	
H _E	0.228	0.248	5.8	6.3
L	0.016	0.050	0.4	1.27
θ2	0°	8°	0°	8°

注意:

- (1) 封装尺寸不包括模的毛边凸起或门毛刺。
- (2) 如无特殊规定，容差为±0.1毫米。
- (3) 共面性：0.1毫米。
- (4) 控制尺寸为毫米。



SH79F9271

15. 规格更改记录

版本	记录	日期
1.0	初始版本	2024年9月



重要声明

本手册为中颖电子股份有限公司及其关联公司（“公司”）的财产。本手册，包括本手册中描述的本公司的任何产品（“产品”），均为本公司根据相关适用法律或条约所拥有。本公司保留该等法律和条约下的所有权利，不授予其专利、版权、商标或其他知识产权下的任何许可。

本手册内的任何技术信息，包括功能介绍和原理图，不应理解为使用或执行任何知识产权的许可。本手册若引述相关第三方的名称和品牌（如有）等为其各自所有者的财产，仅供识别用途。

本公司不对本手册或任何产品作任何明示或暗示的保证，包括但不限于对适销性和适合特定用途的暗示保证。本公司不承担因超出规格书或我司产品标准的保证范围使用本手册所述任何产品而产生的任何责任。除适用协议中明确规定的定制产品外，产品仅为普通商业、工业、个人和/或家庭应用而设计、开发和制造。禁止用于军事、国防、核能、医疗以及可能导致人身伤害、死亡，或是环境破坏等领域。用户应采取任何和所有行动，确保按照适用的法律法规使用和销售产品。

半导体产品自身存在一定的失效概率。为防止因故障或误工作而产生的人身损害、火灾事故或其他社会性损害，请注意冗余设计、消防设计以及其他安全防护设计。特别说明：参考应用电路不保证能够适用于特定应用的量产。

若用户违反上述声明，本公司不承担全部或部分责任，用户应在此免除本公司及其供应商和/或分销商因产品的所有非预期用途有关的任何索赔、损害或其他责任；与此同时，用户应赔偿并确保本公司及其供应商和/或分销商免受因产品的任何非预期用途的使用而产生的与之相关的所有索赔、成本、损害赔偿和其他责任，包括人身伤害或死亡的索赔。

本手册中的信息仅与产品有关。本公司保留随时对本手册及所述的产品和服务进行更改、修改或改进的权利，恕不另行通知。订购前建议用户咨询销售代表。

本公司对本手册拥有最终解释权。



目录

1. 特性.....	1
2. 概述.....	1
3. 方框图.....	2
4. 引脚配置.....	3
4.1 28PIN SOP封装引脚图.....	3
4.2 20PIN SOP封装引脚图.....	3
4.3 8PIN SOP封装引脚图.....	3
5. 引脚描述.....	5
6. 产品信息.....	6
7. SFR映像.....	7
8. 标准功能.....	16
8.1 CPU.....	16
8.1.1 CPU内核特殊功能寄存器.....	16
8.1.2 CPU增强内核特殊功能寄存器.....	17
8.1.3 寄存器.....	17
8.2 随机数据存储器（RAM）.....	18
8.2.1 特性.....	18
8.2.2 寄存器.....	18
8.3 FLASH程序存储器.....	19
8.3.1 特性.....	19
8.3.2 ICP模式下的Flash操作.....	21
8.4 扇区自编程（SSP）功能.....	22
8.4.1 寄存器.....	22
8.4.2 Flash控制流程图.....	25
8.4.3 SSP编程注意事项.....	26
8.4.4 可读识别码.....	27
8.5 系统时钟和振荡器.....	28
8.5.1 特性.....	28
8.5.2 时钟定义.....	28
8.5.3 概述.....	28
8.5.4 寄存器.....	29
8.6 I/O端口.....	30
8.6.1 特性.....	30
8.6.2 寄存器.....	30
8.6.3 端口模块图.....	32
8.6.4 端口共享.....	33
8.7 定时器.....	36
8.7.1 特性.....	36
8.7.2 定时器3.....	36
8.7.3 定时器4.....	38
8.7.4 定时器5.....	41
8.8 中断.....	43
8.8.1 特性.....	43
8.8.2 中断允许控制.....	43
8.8.3 中断标志.....	45
8.8.4 中断向量.....	47
8.8.5 中断优先级.....	47
8.8.6 中断处理.....	48



8.8.7 中断响应时间.....	48
8.8.8 外部中断输入.....	49
8.8.9 中断汇总.....	51
9. 增强功能.....	52
9.1 TOUCH KEY触摸按键功能.....	52
9.2 12BIT脉冲宽度调制（PWM0/1）.....	53
9.2.1 特性.....	53
9.2.2 12位PWM定时器.....	53
9.3 增强型通用异步收发器（EUART0/1）.....	57
9.3.1 特性.....	57
9.3.2 工作方式.....	57
9.3.3 可微调波特率.....	62
9.3.4 多机通讯.....	63
9.3.5 帧出错检测.....	64
9.3.6 寄存器.....	64
9.4 数字逻辑可配置模块（LCM）.....	70
9.4.1 特性.....	70
9.4.2 寄存器.....	72
9.5 模/数转换器（ADC）.....	74
9.5.1 特性.....	74
9.5.2 ADC模块图.....	74
9.5.3 寄存器.....	75
9.6 低电压检测（LPD）.....	78
9.6.1 特性.....	78
9.6.2 寄存器.....	78
9.7 低电压复位（LVR）.....	80
9.7.1 特性.....	80
9.8 看门狗定时器（WDT），程序超范围溢出（OVL）复位及其它复位状态.....	81
9.8.1 特性.....	81
9.8.2 寄存器.....	81
9.9 电源管理.....	82
9.9.1 特性.....	82
9.9.2 空闲模式（Idle）.....	82
9.9.3 掉电模式（Power-Down）.....	82
9.9.4 寄存器.....	83
9.10 预热计数器.....	84
9.10.1 特性.....	84
9.11 代码选项.....	85
10. 指令集.....	86
11. 电气特性.....	91
12. 订购信息.....	95
13. 产品命名规则.....	96
14. 封装信息.....	97
15. 规格更改记录.....	100